

UNIVERSIDADE FEDERAL DO PARANÁ

EDSON LEONARDO DOS SANTOS

**AMPLIFICADOR DE POTÊNCIA CMOS DE BAIXO CONSUMO COM
CONTROLE DE GANHO**

CURITIBA

2015

EDSON LEONARDO DOS SANTOS

**AMPLIFICADOR DE POTÊNCIA CMOS DE BAIXO CONSUMO COM
CONTROLE DE GANHO**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração: Sistemas Eletrônicos, Departamento de Engenharia Elétrica, Universidade Federal do Paraná, como requisito parcial para à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. André A. Mariano, Ph.D.

Coorientador: Prof. Bernardo Leite, Ph.D.

CURITIBA

2015

S237a

Santos, Edson Leonardo dos
Amplificador de potência CMOS de baixo consumo com controle de
ganho/ Edson Leonardo dos Santos. – Curitiba, 2015.
95 f. : il. color. ; 30 cm.

Dissertação - Universidade Federal do Paraná, Setor de Tecnologia,
Programa de Pós-graduação em Engenharia Elétrica, 2015.

Orientador: André A. Mariano – Co-orientador: Bernardo Leite.
Bibliografia: p. 89-92.

1. Amplificadores de potência. 2. Semicondutores de óxido metálico. 3.
Radiofrequência. I. Universidade Federal do Paraná. II. Mariano, André A.. III.
Leite, Bernardo . IV. Título.

CDD: 621.381044



UNIVERSIDADE FEDERAL DO PARANÁ
Programa de Pós-Graduação em Engenharia Elétrica
PPGEE
Setor de Tecnologia

ATA DE DEFESA DE MESTRADO

Aos vinte e sete dias do mês de março de 2015, na Sala PK 06 do Departamento de Engenharia Elétrica, foi instalada pela Prof^a. Dr^a. Thelma Solange Piazza Fernandes, Coordenadora do Programa de Pós-Graduação em Engenharia Elétrica, a Banca Examinadora para a centésima septuagésima primeira Dissertação de Mestrado do PPGEE, na Área de Concentração em **SISTEMAS ELETRÔNICOS**. Estiveram presentes no ato, além da Coordenadora do Curso de Pós-Graduação, professores, alunos e visitantes.

A Banca Examinadora, atendendo determinação do Colegiado do Programa de Pós-Graduação em Engenharia Elétrica, ficou constituída pelos professores doutores **André Augusto Mariano (Orientador - UFPR)**; **Marcelo Hamilton Duarte Klimach (UFRGS)**; **Oscar da Costa Gouveia Filho e Eduardo Gonçalves de Lima (UFPR)**.

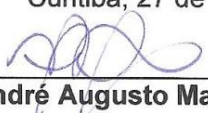
Às 09:00 horas, a banca iniciou os trabalhos, convidando o candidato **EDSON LEONARDO DOS SANTOS** a fazer a apresentação da dissertação intitulada "**AMPLIFICADOR DE POTÊNCIA CMOS DE BAIXO CONSUMO COM CONTROLE DE GANHO**". Encerrada a apresentação, iniciou-se a fase de arguição pelos membros participantes.

Tendo em vista a dissertação e a arguição, a banca decidiu pela:

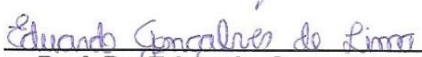
☒ **APROVAÇÃO**

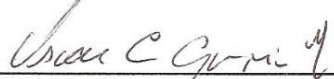
☐ **NÃO APROVAÇÃO** do candidato, (de acordo com a determinação da Resolução 63/03-CEPE).

Curitiba, 27 de março de 2015.


Prof. Dr. **André Augusto Mariano**


Prof. Dr. **Hamilton Duarte Klimach**


Prof. Dr. **Eduardo Gonçalves de Lima**


Prof. Dr. **Oscar da Costa Gouveia
Filho**



AGRADECIMENTOS

Agradeço a Deus pela vida, por abençoar e iluminar meu caminho.

Agradeço minha adorável e amável noiva Luana por todo amparo, incentivo e paciência nos momentos de dificuldades desta caminhada.

A minha família que é à base de minha existência.

Aos meus pais por toda força e carinho depositados a mim, que me permitiram chegar tão longe.

Aos meus amigos que estiveram sempre por perto, e em especial ao meu amigo Carlos grande incentivador para que esse sonho se realizasse.

Agradeço em especial aos meus professores e orientadores André Mariano e Bernardo Leite, por toda ajuda possível, por todo conhecimento concebido a mim e principalmente por terem confiado e acreditado em minha capacidade.

A MOSIS pelo acesso ao *design kit* e pela fabricação do *chip* e ao laboratório IMS da Universidade de Bordeaux pelas medidas do *chip*.

RESUMO

Devido ao baixo custo e alto grau de integração das tecnologias CMOS, os sistemas de comunicações móveis podem ser encontrados em toda parte. Em sua grande maioria, os dispositivos móveis são alimentados por baterias, sendo indispensável recarregá-las ou substituí-las. Nesta situação, deve-se tomar cuidados para que os dispositivos sejam energeticamente eficientes. Em um transmissor de radiofrequência, o amplificador de potência é o bloco responsável por amplificar o sinal que será transmitido pela antena. Por sua vez, o amplificador de potência é um dos responsáveis pelo maior consumo de energia do sistema. Como estes amplificadores são tradicionalmente dimensionados para apresentar alto rendimento para níveis elevados de potência de saída, em níveis mais baixos de potência de saída a energia consumida é excessiva. Portanto, controlar o ganho e a potência de saída em amplificadores de potência de radiofrequência é essencial para maximizar a duração da vida útil da bateria.

Neste trabalho, um amplificador de potência com controle de ganho é apresentado para aplicações em 2,4 GHz. O ganho de potência pode ser controlado digitalmente em seis modos através da combinação de três *bits*. Esta técnica foi utilizada para alcançar uma melhora na eficiência em potências de recuo. O projeto foi implementado usando uma tecnologia CMOS 0,13 μm e é capaz de fornecer um ganho de potência variável entre 22,4 dB e 31 dB e uma eficiência máxima de 19 %, com uma fonte de alimentação de 1,8 V. A potência consumida pelo amplificador é reduzida de 196,2 mW no modo de maior ganho para 171 mW no modo de menor ganho, permitindo uma eficiência melhor quando o ganho máximo não é necessário para a transmissão.

Palavras-chave: amplificador de potência; ganho variável; controle discreto de potência; CMOS; radiofrequência

ABSTRACT

Due to the low cost and high degree of integration of CMOS technologies, mobile communication systems can be found everywhere. Most of these mobile devices are powered by batteries, which must be recharged or replaced. In this situation, care must be taken for the devices to be energetically efficient. In a radiofrequency transmitter, the power amplifier is responsible for amplifying the signal to be transmitted by the antenna and accounts for a large part of the system power consumption. Since these amplifiers are traditionally sized to present their highest efficiency for high output power levels, when the required output power is lower, energy consumption is excessive. Therefore, controlling the gain and output power in radiofrequency power amplifiers is essential to maximize the duration of battery life.

In this work, a power amplifier with gain control is presented for 2.4 GHz applications. The power gain can be digitally controlled in six steps by the combination of three bits. This technique was used to achieve an improvement in efficiency at power backoff. The design was implemented using a 0.13 μm CMOS technology and is able to deliver a variable power gain between 22.4 dB and 31 dB and a peak power-added efficiency of 19 % with a 1.8 V power supply. The power consumption of the power amplifier is reduced from 196.2 mW in the highest-gain mode to 171 mW for the lowest-gain, allowing an enhanced efficiency when maximum gain is not required for transmission.

Keywords: power amplifier; variable gain; discrete power control; CMOS; radiofrequency

LISTA DE ILUSTRAÇÕES

Figura 1.1 - Bloco transmissor e receptor de radiofrequência. Adaptado de (Ludwig & Bretchko, 2000)	17
Figura 2.1 - (a) impedância da antena Z_{ant} e (b) resistência de carga R_L (Reynaert & Steyaert, 2006)	20
Figura 2.2 - Rede de duas portas	21
Figura 2.3 - Bloco genérico de uma rede de 2 portas conectadas com terminações de fonte e carga. Adaptado de (Gilmore & Besser, 2003)	22
Figura 2.4 - Rede de 2 portas para descrever o conceito de estabilidade. Adaptado de (Gonzalez, 1996)	24
Figura 2.5 - Potência de um PA (Reynaert & Steyaert, 2006)	25
Figura 2.6 - Ponto de compressão de 1-dB (OCP_{1dB}) e potência de saída saturada ($Psat$)	27
Figura 2.7 - Circuito simplificado de um amplificador de potência com topologia Classe A (Reynaert & Steyaert, 2006)	28
Figura 2.8 - Tensão e corrente no dreno do transistor do PA classe A (Lee, 2004)	29
Figura 2.9 - Tensão e corrente no dreno do transistor do PA classe B (Lee, 2004)	30
Figura 2.10 - Tensão e corrente no dreno do transistor do PA classe C (Lee, 2004)	31
Figura 2.11 - Diagrama esquemático proposto por (Yoon et al., 2012)	33
Figura 2.12 - Diagrama esquemático proposto por (Wen & Sun, 2010)	33
Figura 2.13 - Diagrama esquemático proposto por (Meshkin et al., 2010)	34
Figura 2.14 - Diagrama esquemático proposto por (An et al., 2009)	35
Figura 2.15 - (a) diagrama em bloco do amplificador de ganho programável e (b) circuito da célula amplificadora. Diagrama esquemático proposto por (Wu et al., 2005)	36
Figura 2.16 - Diagrama esquemático proposto por (Montes et al., 2014)	36
Figura 2.17 - Diagrama esquemático proposto por (Chironi et al., 2013)	37
Figura 3.1 - Diagrama esquemático do estágio de potência do PA	42
Figura 3.2 - PAE do estágio de potência do PA	43
Figura 3.3 - Potência de saída e ganho do PA em função da potência de entrada	44
Figura 3.4 - Fator de estabilidade μ	44
Figura 3.5 - (a) casamento de impedância realizado na entrada do estágio de potência e (b) parâmetro S_{11} indicador do casamento de impedância na entrada da rede	45

Figura 3.6 - Rede de casamento usada na saída do PA. Os valores dos componentes foram baseados na simulação de <i>load pull</i> , onde o valor do capacitor Cout1 é igual a 2,8 pF e o valor do indutor Lout1 é igual a 2,9 nH.....	46
Figura 3.7 - Comparação dos valores da potência de saída antes (a) e após (b) a simulação de <i>load pull</i>	47
Figura 3.8 - <i>Layout</i> proposto para o estágio de potência com os <i>pads</i> inclusos.....	49
Figura 3.9 - Trilha RF larga com chanfros nos cantos e intersecções	50
Figura 3.10 - Diagrama esquemático proposto para o estágio de reconfigurabilidade (pré-amplificador)	51
Figura 3.11 - Ganho x potência de consumo na frequência de operação 2,4 GHz.....	52
Figura 3.12 - Simulação de pequenos sinais para o ganho de potência do estágio de reconfigurabilidade do PA	54
Figura 3.13- Simulação da potência de saída do estágio de reconfigurabilidade em relação a potência de entrada com marcação no ponto 5 dBm	54
Figura 3.14 - (a) rede de casamento de impedância na entrada e (b) entrada do PA casada em 50 Ω ..	56
Figura 3.15 - Simulação de pequenos sinais (S_{11}) para todos os modos de operação do PA	57
Figura 3.16 - <i>Layout</i> proposto para o estágio pré-amplificador	57
Figura 4.1 - Diagrama esquemático completo do circuito do PA proposto	58
Figura 4.2 - <i>Layout</i> completo do PA proposto	59
Figura 4.3 - Simulação de pequenos sinais: variação do ganho para todos os modos de operação em 2,4 GHz	60
Figura 4.4 - Simulação dos parâmetros S para o modo 6 (a) e para o modo 1 (b)	61
Figura 4.5 - Fator de estabilidade μ apresentado para todos os modos de operação.....	62
Figura 4.6 - Simulação de grandes sinais para a potência de saída em relação a potência de entrada..	62
Figura 4.7 - Redução da potência de consumo de acordo com a seleção do modo de menor ganho de potência	63
Figura 4.8 - Simulação do consumo de potência em função da potência de saída de acordo com o modo de operação	64
Figura 4.9 - Simulação do consumo de potência em função da potência de entrada de acordo com o modo de operação	64
Figura 4.10 - Simulação da PAE x potência de entrada.....	65
Figura 4.11 - Simulação da PAE x potência de saída	65
Figura 4.12 - Micrografia do <i>chip</i> amplificador de potência	71
Figura 4.13 – Medidas da variação do ganho S_{21} em todos os modos de operação.....	72

Figura 4.14 - Comparação do ganho de potência entre os valores da simulação <i>pós-layout</i> e os valores das medidas para os modos de operação 6 e 1	72
Figura 4.15 - Medidas do casamento de impedância na entrada do PA para os modos de operação 6 e 1	73
Figura 4.16 - Medidas do ganho reverso para os modos de operação 6 e 1	74
Figura 4.17 - Medidas do casamento de impedância na saída do PA para os modos de operação 6 e 175	
Figura 4.18 - Fator de estabilidade μ	75
Figura 4.19 - Medidas de grandes sinais da potência de saída pela potência de entrada	76
Figura 4.20 - Redução da potência consumida de acordo com a seleção do modo de operação	77
Figura 4.21 - Medição do consumo de potência em função da potência de saída de acordo com o modo de operação.....	78
Figura 4.22 - Medição do consumo de potência em função da potência de entrada de acordo com o modo de operação	78
Figura 4.23 - Medidas da PAE x potência de entrada	79
Figura 4.24 - Medidas da PAE x potência de saída.....	79
Figura 4.25 - Impacto da resistividade entre os terminais de alimentação no ponto de compressão de 1-dB	82
Figura 4.26 - OCP_{1dB} em função da temperatura para as tensões de alimentação 1,6 V / 1,7 V / 1,8 V. Simulação de <i>corners</i> para o processo SS.....	83
Figura 4.27 - P_{SAT} em função da temperatura para as tensões de alimentação 1,6 V / 1,7 V / 1,8 V. Simulação de <i>corners</i> para o processo SS.....	83
Figura 4.28 - Ganho em função da temperatura para as tensões de alimentação 1,6 V / 1,7 V / 1,8 V. Simulação de <i>corners</i> para o processo SS.....	84
Figura 4.29 - <i>Wire-bonding</i> para conexão da antena.....	85
Figura 4.30 - Casamento de impedância na saída do PA considerando o efeito do <i>wire-bonding</i> na frequência de operação 2,4 GHz	85

LISTA DE TABELAS

Tabela 2.1 - Comparação das classes de amplificadores.....	28
Tabela 2.2 - Tabela comparativa de desempenho em trabalhos anteriores	32
Tabela 2.3 - Especificações do projeto.....	38
Tabela 3.1 - Dimensionamento de W para os transistores T7 e T8.....	41
Tabela 3.2 - Modos de operação do PA através da combinação binária das chaves de controle	51
Tabela 3.3 - Dimensionamento de W para os transistores do estágio de reconfigurabilidade	53
Tabela 4.1 - Resumo de desempenho do PA multimodo	66
Tabela 4.2 - Resultados da simulação de <i>corners</i> para os modos de operação 6 e 1 em 2,4 GHz. $V_{DD} = 1,8$ V e Temperatura = 70 °C	67
Tabela 4.3 - Resultados da simulação de <i>corners</i> para os modos de operação 6 e 1 em 2,4 GHz. $V_{DD} = 1,7$ V e Temperatura = 95 °C	68
Tabela 4.4 - Resultados da simulação de <i>corners</i> para os modos de operação 6 e 1 em 2,4 GHz. $V_{DD} = 1,8$ V e Temperatura = 120 °C	68
Tabela 4.5 - Resultados da simulação de <i>Monte Carlo</i> em 2,4 GHz para os modos de operação 6 e 1	70
Tabela 4.6 - Resumo de desempenho do PA multimodo	80
Tabela 4.7 - Resultados especificados e resultados alcançados	80
Tabela 4.8 - Tabela comparativa de desempenho em trabalhos anteriores	86

LISTA DE ABREVIATURAS E SIGLAS

PA	Amplificador de Potência
RF	Radiofrequência
SoC	<i>System on Chip</i>
ISM	Industrial, Científica e Médica
RMS	Valor Quadrático Médio
AM	Modulação da Amplitude
QAM	Modulação da Amplitude por Quadratura
PAM	Modulação da Amplitude por Pulso
PAE	Eficiência de Potência Adicionada
DC	Corrente Contínua
AC	Corrente Alternada
AM-AM	Modulação da Amplitude para Modulação da Amplitude
AM-PM	Modulação da Amplitude para Modulação de Fase
PM-PM	Modulação de Fase para Modulação de Fase
MOS	<i>Metal Oxide Semiconductor</i>
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
WLAN	<i>Wireless Local Area Network</i>
DRC	<i>Design Rule Checking</i>
LVS	<i>Layout Versus Schematic</i>
PSS	<i>Periodic Steady State Analysis</i>
SP	<i>S-Parameter</i>

SUMÁRIO

1	Introdução	15
1.1	Objetivos	16
1.1.1	Objetivo geral	16
1.1.2	Objetivos específicos.....	16
1.2	Justificativa	16
1.3	Estrutura do documento	18
2	Fundamentação teórica.....	19
2.1	Características do amplificador de potência.....	19
2.1.1	Potência de saída	19
2.1.2	Parâmetros de espalhamento – Matriz ‘S’	20
2.1.3	Ganho de potência.....	21
2.1.4	Estabilidade	23
2.1.5	Eficiência.....	25
2.1.6	Linearidade.....	26
2.2	Classificação dos amplificadores de potência	27
2.2.1	Amplificador Classe A	28
2.2.2	Amplificador Classe B	30
2.2.3	Amplificador Classe AB	30
2.2.4	Amplificador Classe C	30
2.3	Estado da arte	31
3	Concepção do amplificador de potência	39
3.1	Estágio de potência.....	40
3.1.1	Circuito do estágio de potência	40
3.1.2	Simulação de <i>load pull</i>	46
3.1.3	<i>Layout</i> do estágio de potência	48

3.2	Estágio de reconfigurabilidade (pré-amplificador)	50
3.2.1	Rede de casamento de impedância na entrada do PA	55
3.2.2	<i>Layout</i> do estágio de reconfigurabilidade (pré-amplificador)	55
4	Resultados experimentais	58
4.1	<i>Layout</i> do PA completo	59
4.2	Resultados de simulação <i>pós-layout</i>	59
4.2.1	Resultados de simulação para o processo típico	59
4.2.2	Simulação de <i>Corners</i>	66
4.2.3	Simulação de <i>Monte Carlo</i>	69
4.3	Resultados de medidas do <i>chip</i>	70
4.4	Resultados finais	80
5	Conclusão	87
5.1	Trabalhos futuros	88
6	Referências	89
	APÊNDICE A – Simulação de <i>corners</i> para o processo típico	93
	APÊNDICE B – Simulação de <i>corners</i> variando a tensão de alimentação e a temperatura	94
	APÊNDICE C – Simulação de <i>corners</i> variando somente a temperatura	95

1 Introdução

A busca por dispositivos móveis inteligentes tem feito com que o mercado apresente uma variedade de dispositivos com capacidade de processamento, memórias e recursos cada vez maiores. A tecnologia sem fio permite que esses dispositivos se comuniquem utilizando a radiofrequência (RF) como meio de comunicação, sendo desnecessário o uso de cabos para a transmissão de dados.

Em sua grande maioria, os dispositivos de redes sem fio são alimentados por baterias, sendo indispensável recarregá-las ou substituí-las. Nesta situação, deve-se tomar cuidados para que os dispositivos sejam energeticamente eficientes, prolongando ao máximo a duração e a vida útil da bateria. Na maioria dos casos, os circuitos transmissores de dispositivos móveis são projetados levando em conta fundamentalmente seu funcionamento para altas potências transmitidas. Ou seja, os circuitos do transmissor, e especialmente o amplificador de potência (PA), são projetados para que seu funcionamento seja o mais eficiente quando a potência transmitida é máxima. Assim, quando a potência requerida é mais baixa, por exemplo, para transmissões de curta distância, o consumo de energia do dispositivo pode ser excessivo. Visto que a transmissão é uma das principais responsáveis pelo consumo da fonte de alimentação do dispositivo, pode-se obter uma melhora significativa na duração da carga da bateria se o dispositivo for capaz de reduzir seu consumo de potência de acordo com a potência requerida para a transmissão do sinal.

O tema de pesquisa desenvolvido durante o mestrado pretende contribuir para a área de projetos de circuitos integrados de radiofrequência com foco no baixo consumo de energia. Seu objetivo principal é o projeto de circuitos e sistemas eletrônicos inovadores que respeitem as especificações dos sistemas de comunicação sem fio e que contribuam de maneira significativa para a redução da potência consumida.

Neste trabalho, estudaram-se arquiteturas de circuitos transmissores em sistemas RF, a fim de otimizar o consumo de energia, uma vez que sistemas RF ativos necessitam de uma fonte de alimentação contínua para garantir seu funcionamento. A técnica estudada para reduzir o consumo de energia foi através da escolha de um amplificador de potência capaz de selecionar seu modo de funcionamento de acordo com o ganho de potência necessário.

1.1 Objetivos

1.1.1 Objetivo geral

Este trabalho consiste em desenvolver um circuito eletrônico de um amplificador de potência (PA) de classe linear com controle de ganho de potência em 2,4 GHz utilizando a tecnologia CMOS 0,13 μm .

1.1.2 Objetivos específicos

- Realizar um estudo sistêmico de arquiteturas existentes de PAs;
- Propor alternativas às arquiteturas existentes de maneira a reduzir o consumo de energia;
- Projetar e implementar um amplificador de potência em tecnologia CMOS com alto grau de integração.

1.2 Justificativa

O consumo de energia é um ponto crítico em relação ao projeto de dispositivos móveis, principalmente nos blocos transmissores RF. Uma vez que a maioria destes dispositivos são alimentados por bateria, uma concepção cuidadosa deve ser realizada, a fim de garantir um funcionamento eficiente em termos de energia. Dentre os blocos de um transmissor RF, geralmente o amplificador de potência é o responsável pelo maior consumo de energia. PAs são normalmente concebidos para o cenário de pior situação de funcionamento, isto é, para alcançar uma elevada eficiência em seus níveis de potência de saída mais elevados. No entanto, durante o funcionamento do circuito, na maioria das vezes a potência de saída RF requerida é mais baixa, e desta forma o amplificador de potência apresenta níveis de eficiência degradada. Portanto, controlar o ganho e a potência de saída em PAs RF é essencial para maximizar a duração da vida útil da sua bateria.

Uma das contribuições que esse projeto visa alcançar é o desenvolvimento do circuito de um amplificador de potência em tecnologia CMOS com controle de ganho. Desta forma, dependendo da distância em uma transmissão de dados entre dois e/ou mais dispositivos móveis, pode-se selecionar uma determinada potência adequada para a transmissão.

O desempenho de amplificadores de potência em tecnologia CMOS é geralmente inferior quando comparado com tecnologias à base de semicondutores das famílias III e V da tabela periódica (An et al., 2009). No entanto, devido ao baixo custo, implementações compactas e a viabilidade de soluções *system-on-chip* (SoC) em RF, o uso de processos CMOS para PAs continua a atrair esforços significativos em pesquisas.

A Figura 1.1 apresenta um transmissor e receptor de radiofrequência, e seus principais blocos. O amplificador de potência é tipicamente o último estágio da transmissão antes da antena. Como mencionado anteriormente, o objetivo deste projeto é a realização de um PA com controle de ganho. Não fazem parte desse projeto os demais blocos que constituem o transmissor e receptor de radiofrequência.

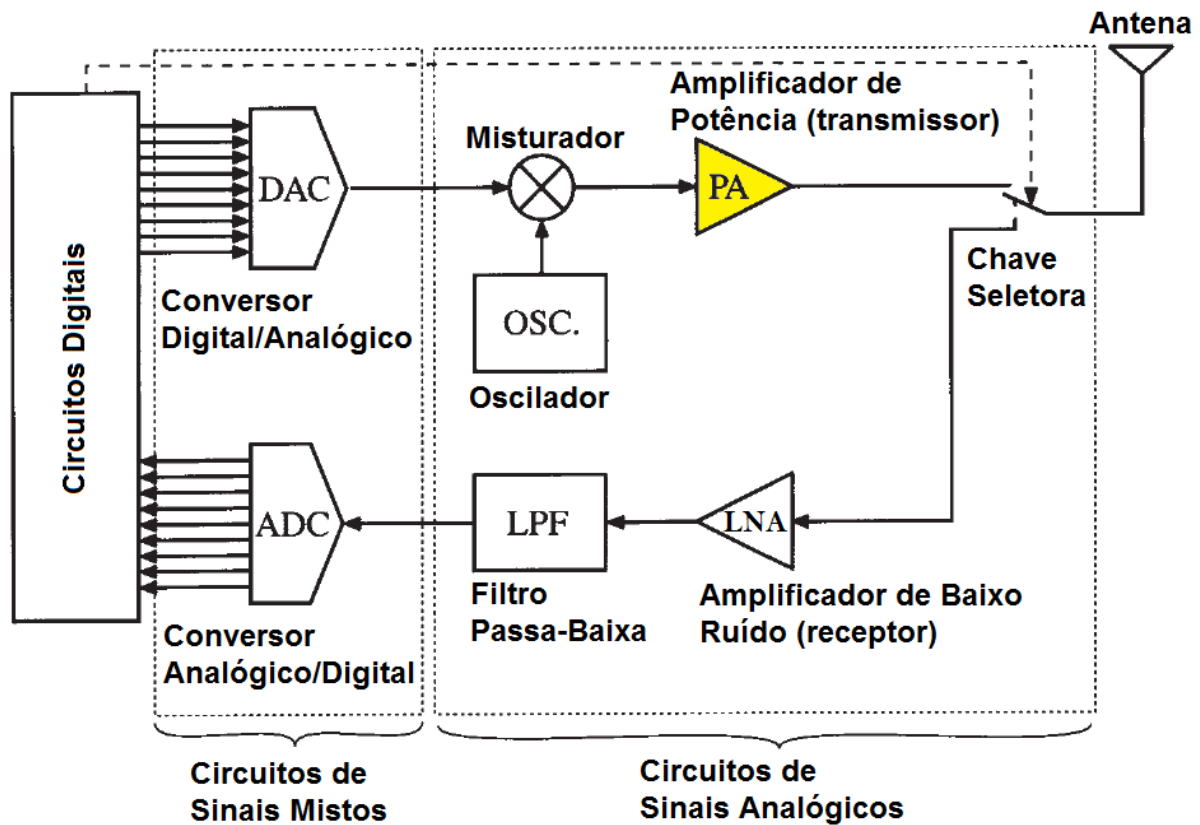


Figura 1.1 - Bloco transmissor e receptor de radiofrequência. Adaptado de (Ludwig & Bretchko, 2000)

1.3 Estrutura do documento

Este trabalho está dividido em quatro capítulos principais, além desta introdução, listados e descritos a seguir:

- Capítulo 2 – Fundamentação teórica;
 - Características do amplificador de potência;
 - Classificação dos amplificadores de potência;
 - Estado da arte;
- Capítulo 3 – Concepção do amplificador de potência;
- Capítulo 4 – Resultados experimentais;
- Capítulo 5 – Conclusão.

O segundo capítulo, *Fundamentação teórica*, é dividido em três seções. A primeira seção apresenta a teoria das principais características de PAs, a segunda apresenta como podem ser classificados os PAs e a terceira seção mostra uma comparação entre os principais trabalhos encontrados na revisão da literatura de circuitos com o mesmo foco deste trabalho. O terceiro capítulo, *Concepção do amplificador de potência*, apresenta o desenvolvimento dos circuitos eletrônicos do estágio de reconfigurabilidade e do estágio de potência, bem como os resultados de simulações. O quarto capítulo, *Resultados experimentais*, apresenta os resultados obtidos através das simulações e medições do *chip*, bem como uma discussão desses resultados. O último capítulo, *Conclusão*, mostra um resumo do projeto que foi desenvolvido e sugestões para trabalhos futuros.

2 Fundamentação teórica

2.1 Características do amplificador de potência

O amplificador de potência é um dos blocos mais importantes em transmissores de radiofrequência. Um PA ideal deveria ser altamente linear e eficiente, porém, em projeto de PAs isso nem sempre é alcançado. Usualmente é necessário estabelecer um compromisso entre a linearidade, ganho de potência, estabilidade e eficiência.

Um circuito amplificador é constituído principalmente por um dispositivo de ganho, casamento de impedâncias na entrada e saída e acoplamento entre redes. A função de um PA é tornar um sinal fraco em forte, sem acrescentar distorções significativas para uma larga faixa de valores de potências.

Os circuitos amplificadores de potência podem ser divididos em sistemas lineares e não lineares. Tradicionalmente esses circuitos são classificados em classes como: A, B, C, D, E, F, etc. (Krauss, Bostian, & Raab, 1980). PAs de classe A, AB, B e C são usados onde a alta linearidade é a primeira prioridade e são chamados de amplificadores lineares. PAs de classes como D, E e F são chamados de amplificadores de chaveamento e eles são não lineares, mas têm alta eficiência.

2.1.1 Potência de saída

A potência de saída necessária para um amplificador é determinada inteiramente pelas aplicações a que se destinam. O nível de potência varia de poucos dBm para aparelhos sem fio até centenas de quilowatts para aplicações ISM (*Industrial, Scientific and Medical*) (Jeon, 2006).

A potência de saída é definida como a potência ativa entregue pelo PA à antena. A antena dissipa esta energia em forma de radiação de ondas eletromagnéticas. A impedância da antena (Z_{ant}) é frequentemente designada para ser puramente resistiva nas frequências de operação (Figura 2.1.a). Portanto, nessas frequências, a antena pode ser representada por uma resistência de carga (R_L), como mostrado na Figura 2.1.b. Em radiofrequência o valor de R_L geralmente é definido como sendo 50Ω (Reynaert & Steyaert, 2006).

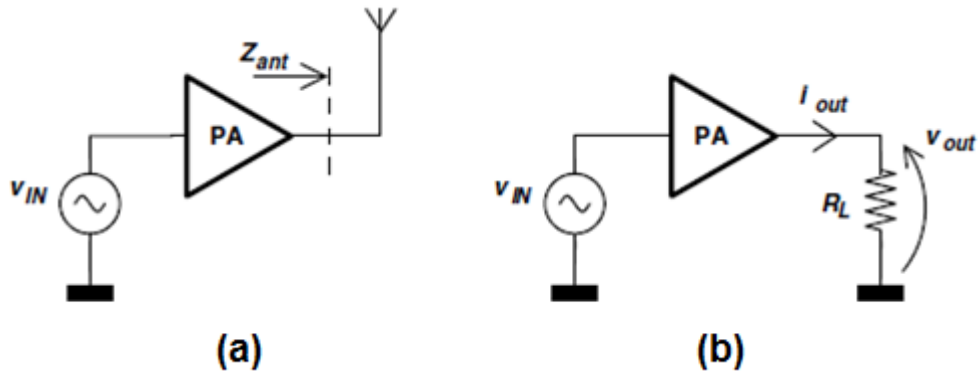


Figura 2.1 - (a) impedância da antena Z_{ant} e (b) resistência de carga R_L (Reynaert & Steyaert, 2006)

A potência de saída instantânea é definida como:

$$p_{out}(t) = v_{out}(t) \cdot i_{out}(t) \quad (2.1).$$

Onde v_{out} significa o nível de tensão na saída do PA sobre a resistência de carga (R_L) e i_{out} é a corrente elétrica na saída do PA.

A potência média de saída depende do comportamento do envoltório dos sinais, pois o amplificador não só gera potência na frequência de interesse, mas também em múltiplos inteiros da frequência fundamental. Pode-se definir uma potência de saída (P_{out}) num envoltório fixo, como a média da potência de saída que deve ser dissipada na carga, se o envoltório ou a amplitude do sinal for mantido constante:

$$P_{out} = \frac{v_{out}^2}{2R_L} \quad (2.2).$$

Na maioria das vezes, o amplificador funciona em um nível de potência relativamente baixo na saída, mas de vez em quando, o amplificador de potência deverá ser capaz de transmitir relativamente grandes picos de potência (Reynaert & Steyaert, 2006), uma vez que, hoje em dia, a maioria dos sistemas de comunicação utilizam técnicas de modulação, com modulação por amplitude (AM, QAM, PAM).

2.1.2 Parâmetros de espalhamento – Matriz ‘S’

Redes lineares são caracterizadas por um número de parâmetros do circuito equivalente, tais como a sua matriz de transferência, matriz de impedância, matriz de admitância e matriz de espalhamento. A Figura 2.2 mostra uma típica rede de duas portas.

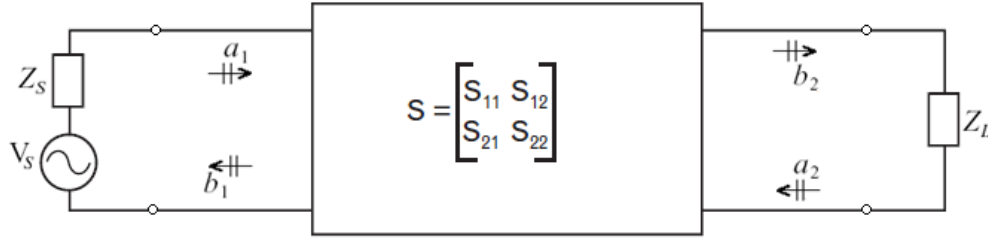


Figura 2.2 - Rede de duas portas

Os elementos da matriz S_{11} , S_{12} , S_{21} e S_{22} na equação 2.3 são chamados de parâmetros de espalhamento ou parâmetros S . Os parâmetros S_{11} e S_{22} representam os coeficientes de reflexão, e S_{12} e S_{21} representam os coeficientes de transmissão. Os termos “a” representam as ondas incidentes em cada porta e os termos “b” representam as ondas refletidas em cada porta.

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (2.3).$$

A partir de (2.3), a definição dos parâmetros S da rede de duas portas, pode ser escrita como:

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} = \frac{\text{Potência refletida na porta 1}}{\text{Potência incidente na porta 1}} = \text{Medida do casamento na porta 1} \quad (2.4);$$

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} = \frac{\text{Potência transmitida na porta 1}}{\text{Potência incidente na porta 2}} = \text{Medida do ganho reverso} \quad (2.5);$$

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} = \frac{\text{Potência transmitida na porta 2}}{\text{Potência incidente na porta 1}} = \text{Medida do ganho direto} \quad (2.6);$$

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} = \frac{\text{Potência refletida na porta 2}}{\text{Potência incidente na porta 2}} = \text{Medida do casamento na porta 2} \quad (2.7).$$

2.1.3 Ganho de potência

Existem várias definições de ganho de potência que são importantes para compreender o funcionamento de um amplificador RF. Por esta razão, a Figura 2.3 é analisada através das relações de fluxo de potência assumindo uma rede de duas portas, onde estão inclusas as impedâncias da fonte (Z_S) e da carga (Z_L). A rede de duas portas é caracterizada pela impedância característica do amplificador (Z_0 , tipicamente 50Ω) baseada nos parâmetros S .

A transferência máxima de potência da fonte para o amplificador é alcançada se, a impedância de entrada é o complexo conjugado da impedância da fonte $Z_{IN} = Z_S^*$ ou, em termos dos coeficientes de reflexão (Γ), se $\Gamma_{IN} = \Gamma_S^*$ (Ludwig & Bretchko, 2000). Da mesma forma, a transferência máxima de potência do amplificador para a carga é alcançada se $Z_{OUT} = Z_L^*$.

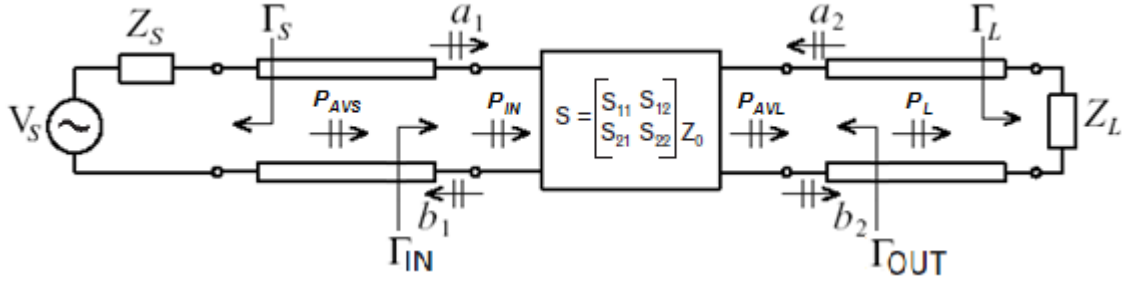


Figura 2.3 - Bloco genérico de uma rede de 2 portas conectadas com terminações de fonte e carga. Adaptado de (Gilmore & Besser, 2003)

Nessa análise, pode-se ilustrar o ganho de potência (G_p) em (2.8), ganho de potência disponível (G_a) em (2.9) e ganho de potência de transdução (G_T) em (2.10). G_p depende de Z_0 e Z_L , mas não de Z_S . G_a depende de Z_0 e Z_S , mas não de Z_L . G_T depende de Z_0 , Z_L e Z_S . No caso em que há casamento complexo conjugado de ambas as impedâncias tem-se $G_{p(max)} = G_{a(max)} = G_{T(max)}$.

$$G_p = \frac{\text{Potência entregue para a carga}}{\text{Potência fornecida para o amplificador}} = \frac{P_L}{P_{IN}} \quad (2.8);$$

$$G_a = \frac{\text{Potência disponível pelo amplificador}}{\text{Potência disponível pela fonte}} = \frac{P_{AVL}}{P_{AVS}} \quad (2.9);$$

$$G_T = \frac{\text{Potência entregue para a carga}}{\text{Potência disponível pela fonte}} = \frac{P_L}{P_{AVS}} \quad (2.10).$$

O ganho de potência de transdução (G_T) quantifica o ganho do amplificador colocado entre a fonte e a carga. Introduzindo os termos Γ_{IN} e Γ_{OUT} em (2.10) para a análise do ganho de potência, sendo Γ_{IN} e Γ_{OUT} os coeficientes de reflexão da rede de duas portas e Γ_S e Γ_L os coeficientes de reflexão das terminações da fonte e carga, respectivamente, então G_T pode ser definido de duas formas, sendo a expressão da primeira forma:

$$G_T = \frac{1-|\Gamma_S|^2}{|1-\Gamma_{IN}\Gamma_S|^2} |S_{21}|^2 \frac{1-|\Gamma_L|^2}{|1-S_{22}\Gamma_L|^2} \quad (2.11),$$

onde:

$$\Gamma_{IN} = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1-S_{22}\Gamma_L} \quad (2.12).$$

A expressão da segunda forma é:

$$G_T = \frac{1-|\Gamma_S|^2}{|1-S_{11}\Gamma_S|^2} |S_{21}|^2 \frac{1-|\Gamma_L|^2}{|1-\Gamma_{OUT}\Gamma_L|^2} \quad (2.13),$$

onde:

$$\Gamma_{OUT} = S_{22} + \frac{S_{12}S_{21}\Gamma_S}{1-S_{11}\Gamma_S} \quad (2.14).$$

Quando não há interação entre as portas de entrada e saída, isto é, o amplificador é unilateral $S_{12} = 0$, então (2.12) e (2.14) podem ser simplificados para:

$$\Gamma_{IN} = S_{11} \quad (2.15),$$

e

$$\Gamma_{OUT} = S_{22} \quad (2.16).$$

Quando as terminações do dispositivo Z_0 são iguais às terminações da carga e da fonte, calculada através das medições dos parâmetros S , então $\Gamma_S = \Gamma_L = 0$ e, portanto:

$$G_T = |S_{21}|^2 \quad (2.17).$$

2.1.4 Estabilidade

Estabilidade é um fator crítico em amplificadores de potência RF, uma vez que os dispositivos modernos RF são potencialmente instáveis (Cripps, 1999). O PA não deve oscilar independente de qual fonte e carga estejam ligadas na entrada e na saída. A instabilidade pode ocorrer devido à realimentação do sinal ou ganho excessivo em frequências fora da banda.

A Figura 2.4 mostra uma rede de duas portas. Se a rede é potencialmente instável, há condições em que as oscilações podem ocorrer em função dos valores de impedâncias de carga e fonte. Se há terminações da fonte ou carga que produzem oscilações, deve ser

observado um extremo cuidado para garantir que essas impedâncias não sejam apresentadas ao amplificador. Isso se aplica a todas as frequências, inclusive fora da banda de funcionamento desejada do PA. Este tipo de situação é chamado de projeto condicionalmente estável.

A abordagem de projeto incondicionalmente estável permite que qualquer terminação da fonte ou carga possa ser apresentada ao amplificador sem a possibilidade de oscilação. É recomendável que a rede de duas portas seja feita incondicionalmente estável em todas as frequências.

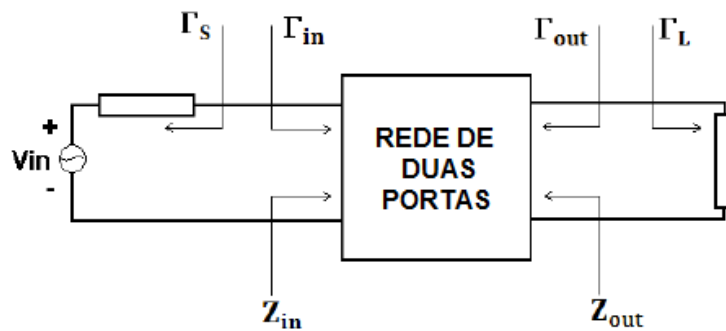


Figura 2.4 - Rede de 2 portas para descrever o conceito de estabilidade. Adaptado de (Gonzalez, 1996)

No projeto de amplificadores, a estabilidade usualmente é determinada em função dos parâmetros S. Matematicamente, a estabilidade incondicional para uma rede de duas portas existe quando:

$$\mu = \frac{1 - |S_{11}|^2}{|S_{22} - \Delta(S_{11}^*)| + |S_{21}S_{12}|} \geq 1 \quad (2.18),$$

sendo:

$$\Delta = |S_{11}S_{22} - S_{21}S_{12}| < 1 \quad (2.19).$$

onde μ representa o fator de estabilidade.

Se a rede de duas portas não é incondicionalmente estável e a estabilidade incondicional é necessária, então redes de estabilização devem ser adicionadas. Os métodos de estabilização podem incluir elementos de realimentação no circuito. Estes métodos normalmente degradam algum parâmetro do circuito, como ganho máximo ou figura de ruído (Payne, 2009).

2.1.5 Eficiência

A eficiência é um dos fatores críticos no projeto de amplificadores de potência, pois relaciona a potência fornecida na saída do amplificador à potência consumida pelo circuito. Assim, para uma dada potência de saída, uma alta eficiência representa um baixo consumo de energia, levando a uma confiabilidade de operação e baixo custo. Usualmente, para PAs existem três definições importantes de eficiência que são: eficiência de dreno (η_{DE}), eficiência de potência acrescentada (PAE) e eficiência total (η_T). A Figura 2.5 apresenta a potência de entrada (P_{in}), a potência de saída (P_{out}) do PA e a potência fornecida pela alimentação do PA (P_{DC}).

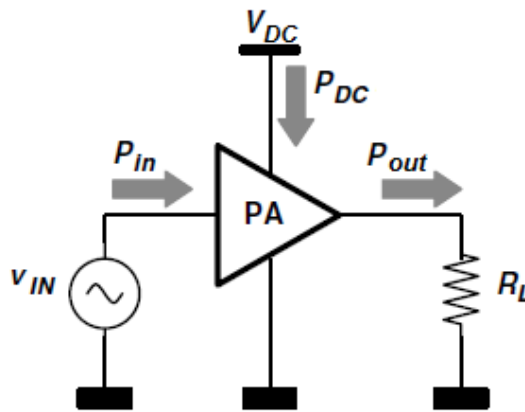


Figura 2.5 - Potência de um PA (Reynaert & Steyaert, 2006)

O rendimento η_{DE} é a razão da potência de saída RF pela potência de alimentação contínua:

$$\eta_{DE} = \frac{P_{out}}{P_{DC}} \quad (2.20).$$

η_T também leva em conta a potência do sinal de entrada do amplificador, acrescentando seu valor à potência contínua fornecida ao circuito:

$$\eta_T = \frac{P_{out}}{P_{DC} + P_{in}} \quad (2.21).$$

Finalmente, PAE leva em conta a potência RF que é acrescentada ao sinal, subtraindo a potência de entrada da potência de saída do circuito:

$$PAE = \frac{P_{out} - P_{in}}{P_{DC}} \quad (2.22).$$

2.1.6 Linearidade

A linearidade de amplificadores implica na capacidade de não introduzir distorções na amplitude e na fase do sinal de entrada para a saída. A amplitude instantânea da saída deve ser proporcional à da entrada, enquanto a diferença de fase entre a entrada e a saída deve permanecer a mesma. Usualmente, a linearidade em PAs pode ser definida como linearidade de fase e linearidade de amplitude.

Linearidade de fase é fácil de alcançar, desde que a largura de banda do sinal modulado seja pequena em comparação com a frequência portadora. A não linearidade de fase ou distorção de fase é denotada como distorção PM-PM. Linearidade de amplitude é mais difícil de alcançar. A não linearidade de amplitude ou distorção de amplitude é denotada como distorção AM-AM (Reynaert & Steyaert, 2006).

A variação do sinal RF pode introduzir no PA distorções de fase e amplitude, indicados pela conversão AM-PM. AM-PM é a relação entre a amplitude do sinal de entrada e a diferença de fase entre o sinal de saída e entrada.

Uma das maneiras de se medir a linearidade AM-AM do PA é através do ponto de compressão do ganho de 1-dB.

2.1.6.1 Ponto de compressão de 1-dB

Na medida em que o sinal de entrada do amplificador aumenta, o sinal de saída também aumenta na mesma proporção. Contudo, devido às não linearidades do amplificador, o ganho sofre uma compressão quando o amplificador se aproxima da saturação, conforme a Figura 2.6.

O ponto de compressão 1-dB de um amplificador refere-se ao nível de potência no qual a curva de transferência característica de um amplificador se desvia da característica linear de um amplificador ideal no total de 1 dB (Braga, 2010).

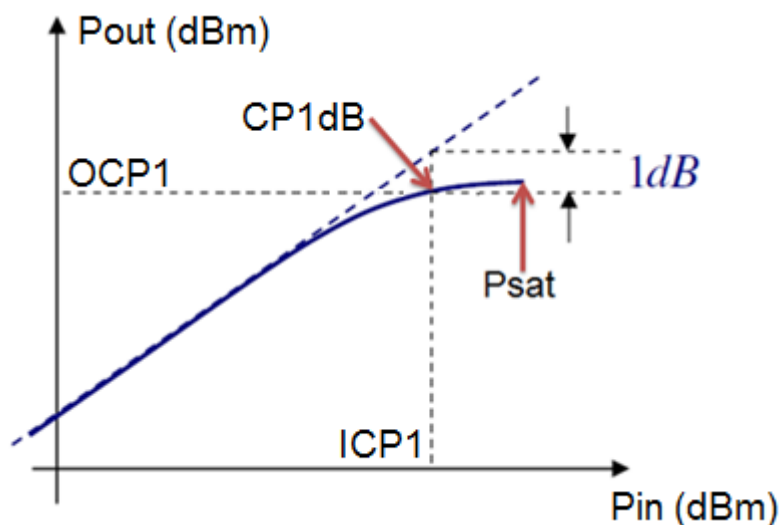


Figura 2.6 - Ponto de compressão de 1-dB (OCP_{1dB}) e potência de saída saturada ($Psat$)

2.2 Classificação dos amplificadores de potência

Usualmente os amplificadores de potência são divididos em várias classes. Em RF, essas diferentes classes são divididas basicamente em dois grupos: amplificadores lineares e não-lineares. Os amplificadores lineares são classificados em A, AB, B e C, no entanto, esses amplificadores apresentam uma eficiência mais baixa. Os amplificadores não-lineares são classificados em D, E e F, entre outras, sendo capazes de alcançar eficiências mais altas. Nos amplificadores lineares, o transistor do PA opera como uma fonte de corrente controlada, enquanto que nos amplificadores não-lineares, o transistor do PA opera como uma chave.

Para amplificadores lineares, de um modo geral, o ponto de polarização de um amplificador determina a sua classe. Em amplificadores lineares deve-se tomar cuidados para evitar que os transistores MOS entrem na região de tríodo, comprometendo o funcionamento desses amplificadores. Como os amplificadores não-lineares operam como uma chave, problemas relacionados a uma polarização inadequada são eliminados. Contudo, transistores não são chaves ideais, sendo necessários cuidados para minimizar as perdas relacionadas à potência dissipada sobre essas chaves.

Em projetos de amplificadores de potência é necessário estabelecer um compromisso entre a linearidade e a eficiência. A Tabela 2.1 mostra um resumo das classes de funcionamento de um amplificador, onde observa-se o tipo de polarização realizada, a porcentagem do período em que o transistor está conduzindo durante o ciclo de operação

(ângulo de condução), a eficiência alcançada, a linearidade e o nível de potência que o PA consegue entregar para carga. Nas próximas subseções são apresentadas as definições das classes de amplificadores lineares.

Tabela 2.1 - Comparação das classes de amplificadores

Classes	Polarização	Ângulo de condução	Eficiência máxima	Linearidade	Potência de saída
A	Fonte de corrente	360°	50%	Excelente	Média
AB		180° a 360°	Entre 50% e 79%	Boa	Média
B		180°	79%	Boa	Média
C		Menor que 180°	Superior a 80%	Moderada	Baixa
Não-lineares	Chave	180°	Acima de 90%	Péssima	Alta

2.2.1 Amplificador Classe A

Amplificadores classe A são considerados altamente lineares, pois o transistor é polarizado para funcionar como uma fonte de corrente, de maneira que ele conduz durante todo o ciclo de operação.

A Figura 2.7 mostra um circuito simples da topologia classe A usando um transistor nMOS. O circuito contém um indutor L_{DC} , que é considerado como um curto-circuito para valores contínuos e como um circuito aberto para o sinal em altas frequências, um capacitor C_{BL} , que opera como um circuito aberto para valores contínuos e como um curto-circuito para o sinal em altas frequências, e R_L representa a resistência de carga.

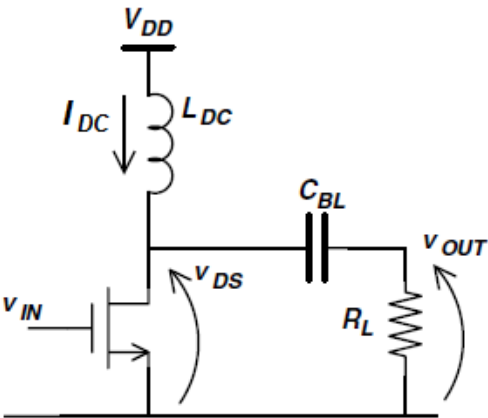


Figura 2.7 - Circuito simplificado de um amplificador de potência com topologia Classe A (Reynaert & Steyaert, 2006)

Existe uma relação entre a tensão de saída e a corrente de saída, que são idealmente senoidais, como pode ser observado na Figura 2.8. Por isso, pode-se assumir que a corrente de dreno (Lee, 2004) é:

$$i_D(t) = I_{DC} + I_{rf} \sin(\omega_0 t) \quad (2.23),$$

onde I_{DC} é a corrente de polarização do transistor e I_{rf} é a amplitude da corrente de dreno na componente do sinal. A tensão de saída é dada pelo produto da corrente do sinal e pela resistência da carga, sendo:

$$v_o(t) = -I_{rf} R_L \sin(\omega_0 t) \quad (2.24).$$

Portanto, a potência média de saída P_{OUT} é mostrada na equação 2.25, sendo V_{OUT} a amplitude do sinal senoidal de saída:

$$P_{OUT} = \frac{V_{OUT}^2}{2R_L} \quad (2.25).$$

O pico da tensão de dreno do transistor é o dobro da tensão da fonte de alimentação V_{DD} e a máxima amplitude da tensão de saída é igual ao V_{DD} . Portanto, a máxima eficiência teórica é de 50 % que pode ser obtida através da equação 2.26:

$$\eta = \frac{P_{OUT}}{P_{DC}} = \frac{1}{2} \left(\frac{V_{OUT}}{V_{DD}} \right)^2 \quad (2.26),$$

onde:

$$P_{DC} = I_{DC} V_{DD} = \frac{V_{DD}^2}{R_L} \quad (2.27).$$

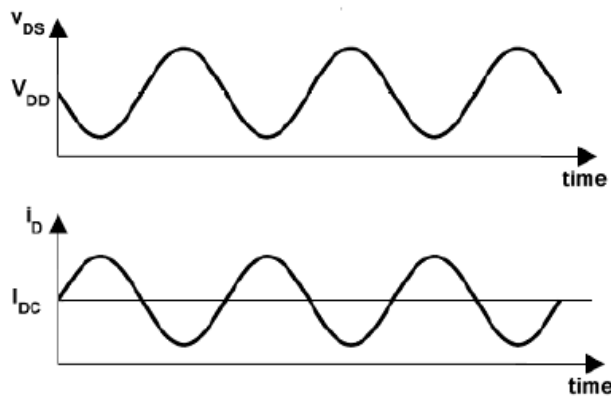


Figura 2.8 - Tensão e corrente no dreno do transistor do PA classe A (Lee, 2004)

2.2.2 Amplificador Classe B

Amplificadores classe A apresentam uma baixa eficiência devido ao transistor conduzir corrente em todo o ciclo de operação. Portanto, para aumentar a eficiência do PA é necessário diminuir o tempo de condução da corrente. Sendo assim, o amplificador classe B apresenta um ângulo de condução da corrente em 180° , ou seja, metade do ângulo de condução da classe A, conforme a Figura 2.9.

A potência de consumo contínua (P_{DC}) pode ser reduzida mudando o ponto de polarização do transistor. Para uma mesma potência de saída, a eficiência no PA classe B é maior que no PA classe A podendo chegar a 78,5%. No entanto, a linearidade é menor na classe B devido à introdução de distorções no sinal de saída.

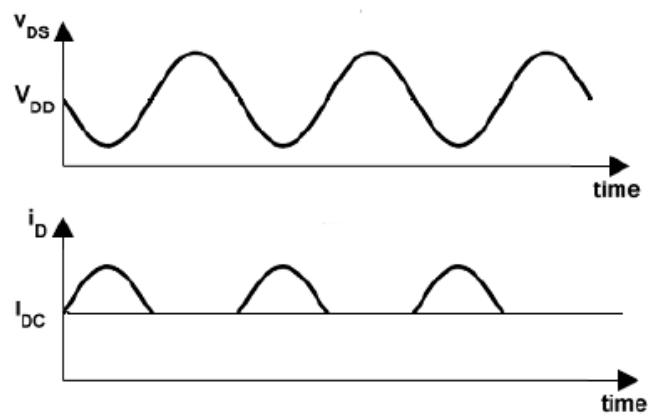


Figura 2.9 - Tensão e corrente no dreno do transistor do PA classe B (Lee, 2004)

2.2.3 Amplificador Classe AB

Transistores em PAs classe AB são polarizados de tal forma que o ângulo de condução da corrente está entre 180° e 360° . Desta forma, a eficiência na classe AB é maior do que na classe A e menor do que na classe B, enquanto a linearidade é pior do que na classe A e melhor do que na classe B. O amplificador classe AB é sugerido quando há a necessidade do compromisso de linearidade e eficiência entre as classes A e B. PAs de classe AB são usados quando a amplificação linear de altas potências em sinais RF é necessária.

2.2.4 Amplificador Classe C

A máxima eficiência de amplificadores classe C é considerada 100 %. Isso acontece pelo fato de o ângulo de condução da corrente ser menor que 180° . Portanto, conforme o

ângulo de condução se aproxima de zero, a eficiência de dreno se aproxima de 100%. No entanto, o ganho e linearidade são decrementadas. A distorção do sinal de saída também é outro fator considerado alto na classe C. O transistor em amplificadores classe C é polarizado abaixo da região de corte, onde os transistores estão mais desligados do que conduzindo na maior parte do tempo. A Figura 2.10 mostra a corrente de dreno funcionando como um trem de pulsos.

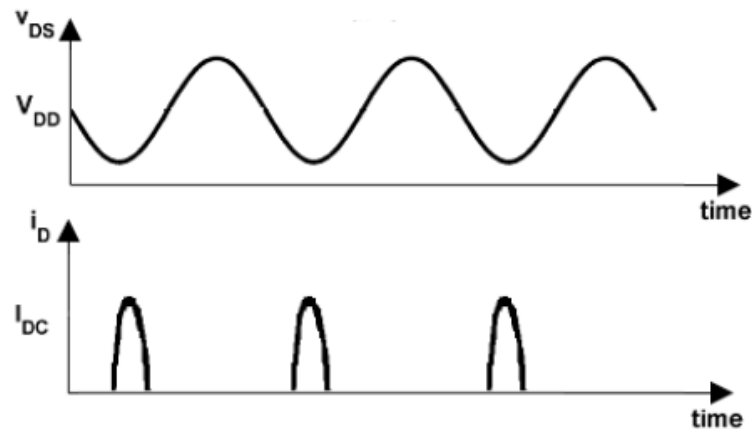


Figura 2.10 - Tensão e corrente no dreno do transistor do PA classe C (Lee, 2004)

2.3 Estado da arte

Em sua grande maioria os amplificadores de potência são projetados para alcançar uma alta eficiência em seus níveis de máxima potência de saída. Entretanto, devem-se tomar cuidados para que estes circuitos sejam energeticamente eficientes quando alimentados por baterias.

Em resumo, as principais especificações adotadas no projeto de um amplificador de potência são:

- Potência de saída (linearidade);
- Ganho de potência;
- Estabilidade;
- Eficiência.

Tendo em vista os objetivos do trabalho proposto, uma seleção de artigos com especificações em comum foi adotada para restringir os trabalhos de amplificadores de potência RF. Como a área de amplificadores de potência é muito grande, a pesquisa no estado

da arte se concentrou em circuitos desenvolvidos em tecnologia CMOS com controle de ganho de potência.

A Tabela 2.2 mostra um comparativo de desempenho em amplificadores de potência. O comparativo foi realizado em relação à frequência de operação do dispositivo, tecnologia de fabricação, fonte de alimentação, consumo de potência contínua, ponto de compressão de 1-dB na potência de saída, potência de saída saturada, ganho de potência e máxima eficiência do amplificador.

Tabela 2.2 - Tabela comparativa de desempenho em trabalhos anteriores

Artigo	Frequência	Tecnologia CMOS	V _{DD} (V)	P _{DC} (mW)	OCP _{1dB} (dBm)	P _{SAT} (dBm)	Ganho (dB)	PAE _{MAX} (%)
(Yoon et al., 2012)	2,4 GHz	180 nm	3,3	40 ~ 132	16 ~ 22,3	17,2 ~ 23,2	16 ~ 24	28 ~ 40,4
(Wen & Sun, 2010)	915 MHz	350 nm	3,3	186 ~ 236	9,3 ~ 20,3	*	10,5 ~ 27	4,1 ~ 36,5
(Meshki et al., 2010)	2,4 GHz	180 nm	1,8	*	*	17 ~ 21,1	*	33 ~ 57
(An et al., 2009)	2,4 GHz	180 nm	3,3	429 ~ 2574	27	31	20 ~ 37,5	10 ~ 33
(Wu et al., 2005)	2 GHz	120 nm	1,5 e 2,5	12,5 ~ 117,5	8	9	-40 ~ 8	*
(Montes et al., 2014)	2,4 GHz	130 nm	3,3	168	*	5 ~ 20	*	42 ~ 59,2
(Chironi et al., 2013)	2,4 GHz	90 nm	1,2	*	*	9	*	25 ~ 30

* Informação não disponibilizada.

Um PA com bom consumo de potência contínua em tecnologia CMOS 0,18 μm para uma frequência de operação 2,4 GHz é apresentado no artigo (Yoon et al., 2012). Este PA utiliza a técnica de chaveamento de estruturas em topologia cascode no estágio de pré-amplificação e no estágio de potência para mudar de modo de operação. Os autores também variam a impedância no casamento de saída para mudar o modo de operação do PA, conforme Figura 2.11. O modo de operação é selecionado de acordo com combinação binária (V_{DD} ou GND) de chaves para a ativação dessas estruturas cascode. Os resultados de medidas mostram que no ponto de compressão de 1-dB, para o modo de baixa potência o PA entrega 16 dBm com uma eficiência de 28 % e no modo de alta potência o PA entrega 22,3 dBm com uma eficiência de 40,4 %. No entanto, esse PA apresenta apenas dois modos de operação e é alimentado por uma fonte de alimentação relativamente alta (3,3 V).

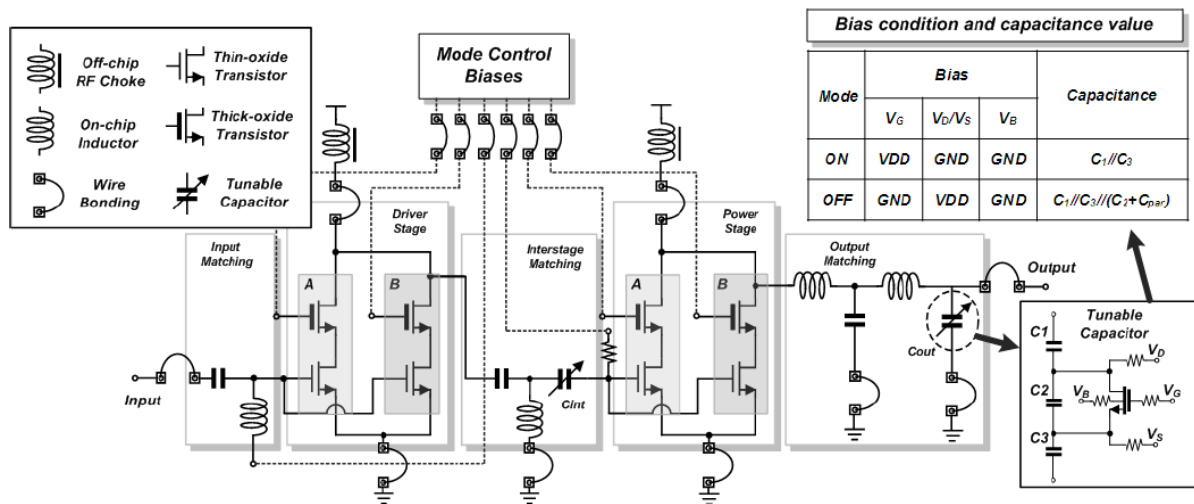


Figura 2.11 - Diagrama esquemático proposto por (Yoon et al., 2012)

O PA proposto no artigo (Wen & Sun, 2010) apresenta uma boa excursão em sete níveis do ganho de potência. O ganho é variado de acordo com a seleção de estruturas em topologia cascode, sendo que a ativação dessas estruturas é através da combinação binária (V_{DD} ou GND) de chaves seletoras. No entanto, a potência de saída juntamente com a eficiência do PA é comprometida quando o PA opera no modo de baixo ganho de potência. Este PA opera numa frequência inferior e também foi projetado em uma tecnologia mais antiga do que nos demais trabalhos pesquisados. A Figura 2.12 mostra que foram utilizados componentes externos ao *chip* na saída do estágio de potência.

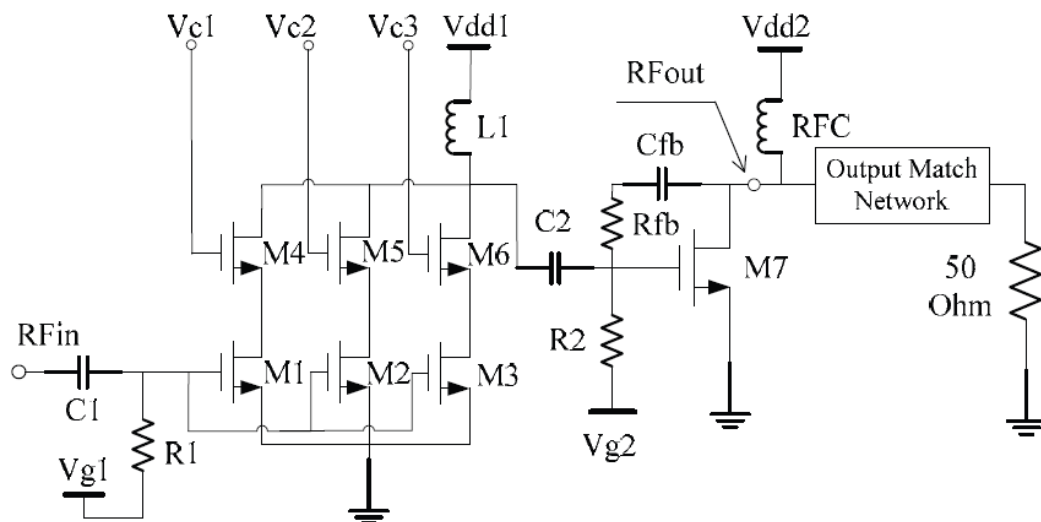


Figura 2.12 - Diagrama esquemático proposto por (Wen & Sun, 2010)

Um amplificador classe E foi utilizado no projeto apresentado no artigo (Meshkin et al., 2010), conforme Figura 2.13. O PA apresentado foi implementado em dois estágios, sendo que o controle da potência de saída e eficiência é realizado através do chaveamento paralelo de estruturas cascode em cinco modos de operação. O casamento de impedância no estágio de saída do PA foi implementado fora do *chip*. Os resultados de simulação mostram que este PA apresenta uma eficiência máxima de 57 % com potência de saída saturada de 21,1 dBm. No entanto, faltam informações sobre o consumo e o ganho de potência para avaliar melhor o desempenho do PA.

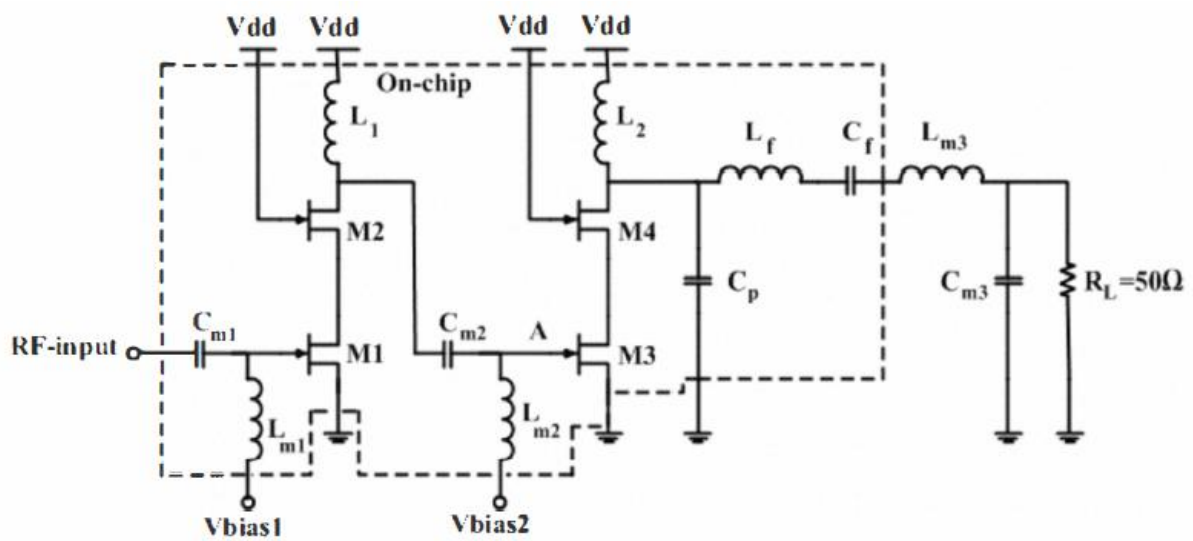


Figura 2.13 - Diagrama esquemático proposto por (Meshkin et al., 2010)

O PA apresentado no artigo (An et al., 2009) foi implementado para aplicações WLAN e WiMAX. A técnica apresentada utiliza a ativação de estruturas amplificadoras em paralelo no estágio de potência, conforme Figura 2.14. Os resultados de medidas mostram que o PA entrega um pico de potência de saída saturada de 31 dBm e varia o ganho de potência em três modos de operação, sendo 20 dB para o modo de baixo ganho e 37,5 dB para o modo de alto ganho. O PA proposto neste artigo reduz o consumo de potência contínua em até 2145 mW entre o primeiro e o último modo de operação. No entanto, mesmo para o modo de baixo ganho, o consumo de potência contínua é considerado alto, sendo inviável para aplicações que requerem o uso eficiente da bateria do dispositivo.

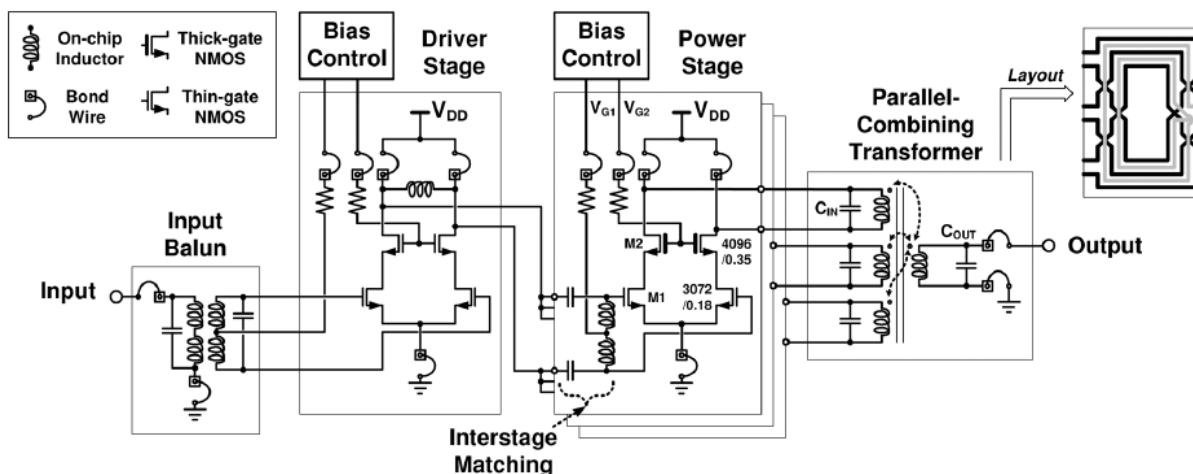


Figura 2.14 - Diagrama esquemático proposto por (An et al., 2009)

A demultiplexação de estruturas cascode em par diferencial foi utilizada no artigo (Wu et al., 2005) para obter o controle variável do ganho de potência, conforme Figura 2.15. Essa técnica demonstrou-se eficiente obtendo uma excursão do ganho em 51 dB com uma variação de 3 dB por passo. O controle do ganho é realizado em 17 passos, podendo variar de -40 dB até 8 dB. O amplificador foi desenvolvido para a frequência de operação 2 GHz na tecnologia CMOS 0,12 μm . O consumo de potência contínua desse amplificador é outro fator bastante interessante, contudo, a potência de saída é baixa. Ou seja, para uma aplicação que exige altas potências, nesse projeto seria necessário mais um estágio que fosse capaz de entregar a potência desejada, comprometendo o consumo de energia do sistema.

No artigo (Montes et al., 2014), também foi utilizado um amplificador classe E para alcançar uma eficiência de 59,2% no modo de potência de saída saturada de 20 dBm. O trabalho nesse artigo utiliza uma combinação de duas técnicas para variar a potência de saída juntamente com a eficiência. São variadas a tensão de alimentação e a tensão de polarização das estruturas cascode, conforme Figura 2.16. No entanto, a variação do consumo é muito pequena, sendo de aproximadamente 10 μW . Esta variação é insignificante quando se deseja obter uma melhora na eficiência do consumo global do sistema.

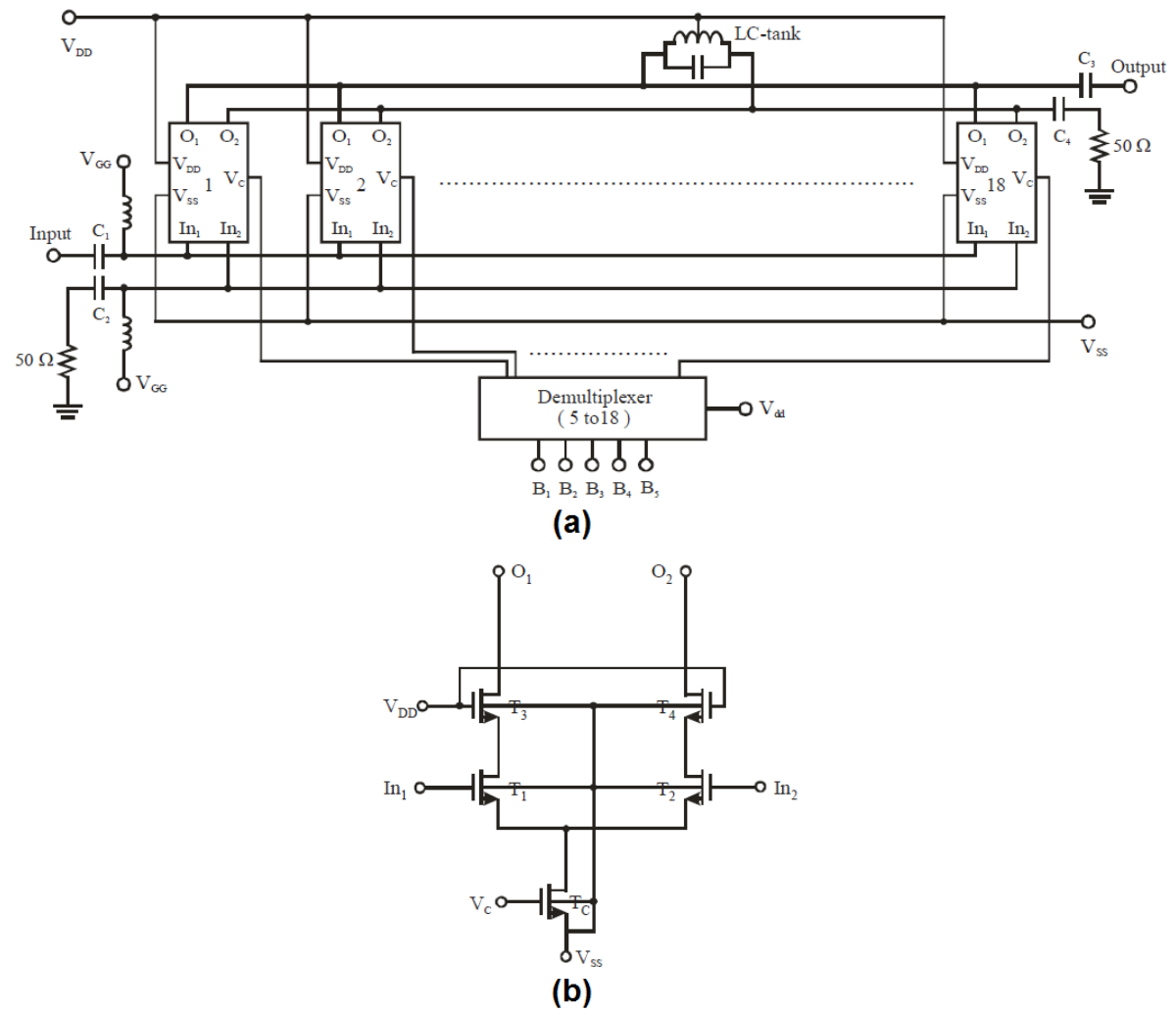


Figura 2.15 - (a) diagrama em bloco do amplificador de ganho programável e (b) circuito da célula amplificadora.

Diagrama esquemático proposto por (Wu et al., 2005)

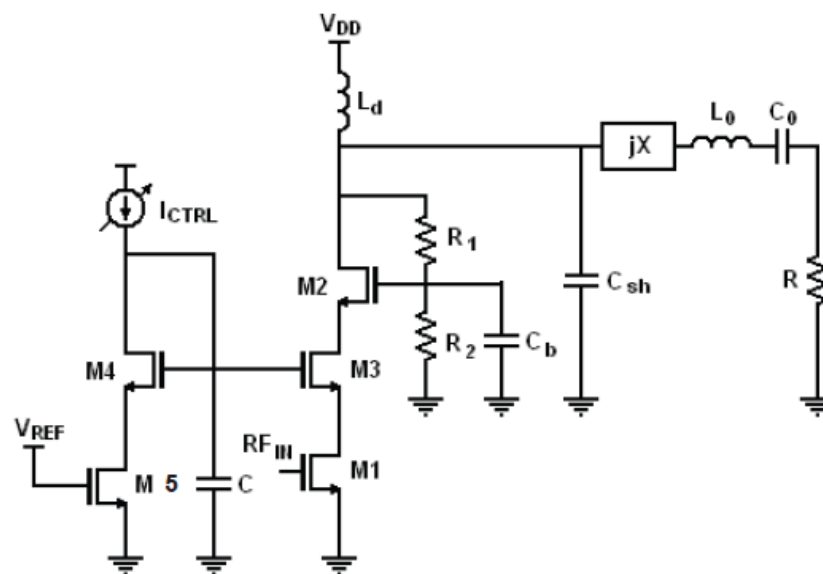


Figura 2.16 - Diagrama esquemático proposto por (Montes et al., 2014)

Por último, o artigo apresentado por (Chironi et al., 2013) utiliza um amplificador classe E. Onde a potência de saída é controlada digitalmente através da modulação da rede de adaptação de impedância na saída do PA, conforme a Figura 2.17. O PA apresentado é capaz de fornecer um pico de potência de saída de 9 dBm associado a uma eficiência de 30 %. Entretanto, o valor absoluto da potência de saída é relativamente baixo e faltam valores sobre a corrente de consumo para avaliar melhor o desempenho deste PA.

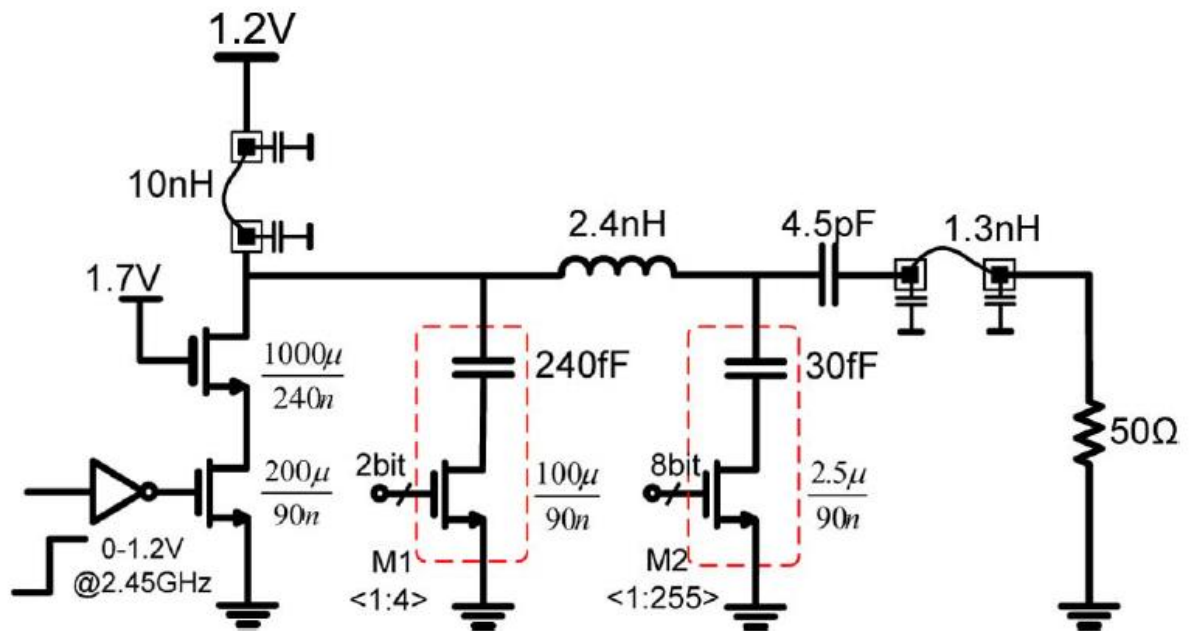


Figura 2.17 - Diagrama esquemático proposto por (Chironi et al., 2013)

Após a análise de desempenho dos trabalhos anteriores, observou-se uma necessidade de um PA totalmente integrado para aplicações em 2,4 GHz com controle de ganho, buscando melhorar a eficiência do consumo de energia quando o ganho máximo não é necessário na transmissão. Observou-se que o ganho e a potência de saída em PAs podem ser ajustados através de diferentes técnicas, como por exemplo, a variação da carga vista pelo estágio de potência (Yoon et al., 2012)(Chironi et al., 2013), a variação da fonte de alimentação (Murad, Ahamd, Shahimin, Ismail, & Cheng, 2012) ou através do chaveamento de estruturas amplificadoras (Wen & Sun, 2010)(Meshkin et al., 2010).

Para este projeto, as especificações do amplificador de potência são mostradas na Tabela 2.3. Observa-se que o consumo de potência para o modo de alto ganho deve ficar abaixo de 234 mW. Este valor foi adotado inicialmente tendo em vista o consumo de energia total do PA, baseado no trabalho proposto por (Wen & Sun, 2010) que apresenta uma boa

excursão do ganho de potência associada a um bom consumo de energia. A potência de saída no ponto de compressão de 1-dB para todos os modos de operação deve ser superior a 15 dBm enquanto a potência de saída saturada deve ser superior a 16 dBm para todos os modos de operação. Assim, faz-se necessário o uso de uma topologia em que o estágio de reconfigurabilidade dos modos de operação do PA não comprima a potência de saída. O ganho de potência para o modo de baixo ganho deve ser superior a 20 dB e para o modo de alto-ganho deve ser superior a 30 dB, permitindo assim uma boa excursão da variação do ganho, em 6 modos de operação. Observa-se que o PA deve ser incondicionalmente estável para todos os modos de operação.

Tabela 2.3 - Especificações do projeto

Parâmetros	Unidades	Especificado
Frequência de operação	GHz	2,4
Tecnologia CMOS	μm	0,13
Tensão de alimentação	V	1,8
Consumo de corrente (I_{DC}) Modo alto-ganho	mA	< 130
Consumo de potência (P_{DC}) Modo alto-ganho	mW	< 234
Potência de saída (OCP_{1dB}) Modo baixo-ganho	dBm	> 15
Potência de saída (OCP_{1dB}) Modo alto-ganho	dBm	> 15
Potência de saída saturada (P_{SAT}) Modo baixo-ganho	dBm	> 16
Potência de saída saturada (P_{SAT}) Modo alto-ganho	dBm	> 16
Mínimo ganho de potência	dB	> 20
Máximo ganho de potência	dB	> 30
Impedância de entrada	Ω	50
Modos de operação		6
Estabilidade		Incondicional

3 Concepção do amplificador de potência

O projeto do PA proposto é dividido em dois estágios, sendo que o primeiro estágio é responsável pelo controle do ganho de potência, enquanto o segundo estágio é responsável por entregar potência suficiente para a carga. Para soluções de baixo custo, componentes externos ao *chip* foram evitados e todos os casamentos de impedâncias do PA foram realizados com componentes internos ao *chip*.

A implementação do PA em tecnologia CMOS 0,13 μm para aplicações em 2,4 GHz foi realizada de acordo com as seguintes etapas:

- Escolha da topologia;
- Dimensionamento dos transistores no estágio de potência, bem como a definição do ponto de polarização dos transistores;
- Casamento de impedância na saída do PA para obter a máxima potência de saída;
- Dimensionamento dos transistores no estágio de reconfigurabilidade para obter a variação do ganho de potência;
- Casamento de impedância entre os estágios de potência e de reconfigurabilidade;
- Casamento de impedância na entrada do PA.

O projeto deste amplificador de potência foi baseado na topologia utilizada por (Wen & Sun, 2010), cuja arquitetura para o estágio de reconfigurabilidade utiliza o chaveamento de estruturas cascode. Dentre as diferenças apresentadas nos trabalhos da revisão bibliográfica, o projeto proposto por (Wen & Sun, 2010) apresenta como resultado uma boa excursão do ganho de potência em sete modos de operação.

Para obter os resultados de simulação, foram realizadas análises do tipo PSS e SP no ambiente de simulação *Virtuoso Analog Design Environment L* (ADE-L). As simulações para o processo típico foram realizadas para uma temperatura de 70 °C.

Neste capítulo é apresentado o desenvolvimento dos estágios de potência e de reconfigurabilidade (pré-amplificador) do PA, bem como o *layout* proposto para cada estágio.

3.1 Estágio de potência

Uma prática comum entre projetistas é desenvolver mais de um estágio em amplificadores de potência. Essa prática permite distribuir e melhor gerenciar as especificações do projeto. O estágio de potência é o estágio de saída do PA. O objetivo desse estágio é entregar potência suficiente para a carga. A polarização desse estágio foi realizada a fim de o PA funcionar na classe AB. A característica de funcionamento da classe AB proporciona ao PA uma boa linearidade assim como uma boa eficiência.

3.1.1 Circuito do estágio de potência

A topologia com transistores empilhados foi escolhida para o circuito do estágio de potência devido às características de melhor ganho, melhor isolamento, melhor estabilidade e casamentos de impedância mais simples (Knopik, Martineau, & Belot, 2005)(Ko & Lin, 2006)(Chang, Kim, Lee, & Nam, 2011)(Hella & Ismail, 2001). Nas regiões de altas frequências, os transistores em pilha também diminuem o efeito Miller (Kluge et al., 2006)(Wu et al., 2005)(Mohammadpour & Rostampour, 2012) causado pelas capacitâncias internas entre os terminais de entrada e saída do transistor. O esquemático completo do circuito do estágio de potência é apresentado na Figura 3.1.

O estágio de potência do PA proposto é composto pelos transistores T7 e T8. A largura do canal para o transistor T7 é $W = 630 \mu\text{m}$ (multiplicidade de $3 \times 210 \mu\text{m}$) e a largura do canal para o transistor T8 é $W = 675 \mu\text{m}$ (multiplicidade de $3 \times 225 \mu\text{m}$). Esses valores foram escolhidos de acordo com a especificação limite para a corrente contínua (I_{DC}). Como a corrente total prevista para os dois estágios deve ser menor que 130 mA, ficou definido o consumo máximo de 90 mA para o estágio de potência e o restante para o estágio de reconfigurabilidade. Quanto maior o tamanho dos transistores maior será a potência entregue, entretanto, o consumo de potência contínua (P_{DC}) do sistema será maior também. A relação de larguras de canal apresentada para os dois transistores permitiu com que este estágio entregue uma potência de saída que atenda as especificações do projeto. O comprimento do canal de ambos os transistores é $L = 0,13 \mu\text{m}$.

A metodologia adotada no dimensionamento dos transistores do estágio de saída foi baseada no compromisso entre o nível de potência de saída e o consumo de corrente contínua deste estágio. Para obter a escolha dos valores de W (largura do canal) dos transistores T7 e

T8, foi realizada uma simulação paramétrica com possíveis combinações entre o W de T7 e T8, onde inicialmente os valores foram adotados tendo em vista o nível da potência de saída. A Tabela 3.1 apresenta o ponto de compressão de 1-dB e a corrente de consumo em função da combinação do W dos transistores. Dentre as combinações, observa-se que T7 com $W = 630 \mu\text{m}$ e T8 com $W = 675 \mu\text{m}$ fornece o maior $\text{OCP}_{1\text{dB}}$ mantendo a corrente contínua inferior a 90 mA.

Tabela 3.1 - Dimensionamento de W para os transistores T7 e T8

W de T7 (μm)	W de T8 (μm)	I_{DC} (mA)	$\text{OCP}_{1\text{dB}}$ (dBm)
570	570	77,5	15,62
600	600	81,6	15,80
585	630	82,1	15,96
630	630	85,6	16,08
675	630	88,9	16,07
585	675	84,3	16,05
630	675	88,1	16,10
675	675	91,6	16,23
690	690	93,62	16,36
720	720	97,63	16,43

A tensão de alimentação do circuito é $V_{\text{DD}} = 1,8 \text{ V}$, enquanto as tensões de polarização do circuito são geradas internamente ao circuito e dimensionadas para valer $V_{\text{POL2}} = V_{\text{POL3}} = 867,5 \text{ mV}$. A tensão de alimentação foi adotada tendo em vista os trabalhos da revisão bibliográfica e as características dos transistores da tecnologia. A tensão de polarização está relacionada com o dimensionamento dos transistores. Onde, principalmente a potência de saída é afetada pela escolha da tensão de polarização. Embora as tensões dos circuitos de polarização sejam iguais, o dimensionamento dos transistores em pilha é diferente. Os valores da tensão de polarização foram adotados tendo em vista o compromisso entre o consumo de corrente contínua deste estágio e a potência de saída.

O circuito de polarização é constituído de transistores conectados como diodos a fim de melhorar a isolamento entre a tensão de polarização e a tensão de alimentação. Essa isolamento evita que pequenas variações de V_{DD} impactem negativamente no circuito.

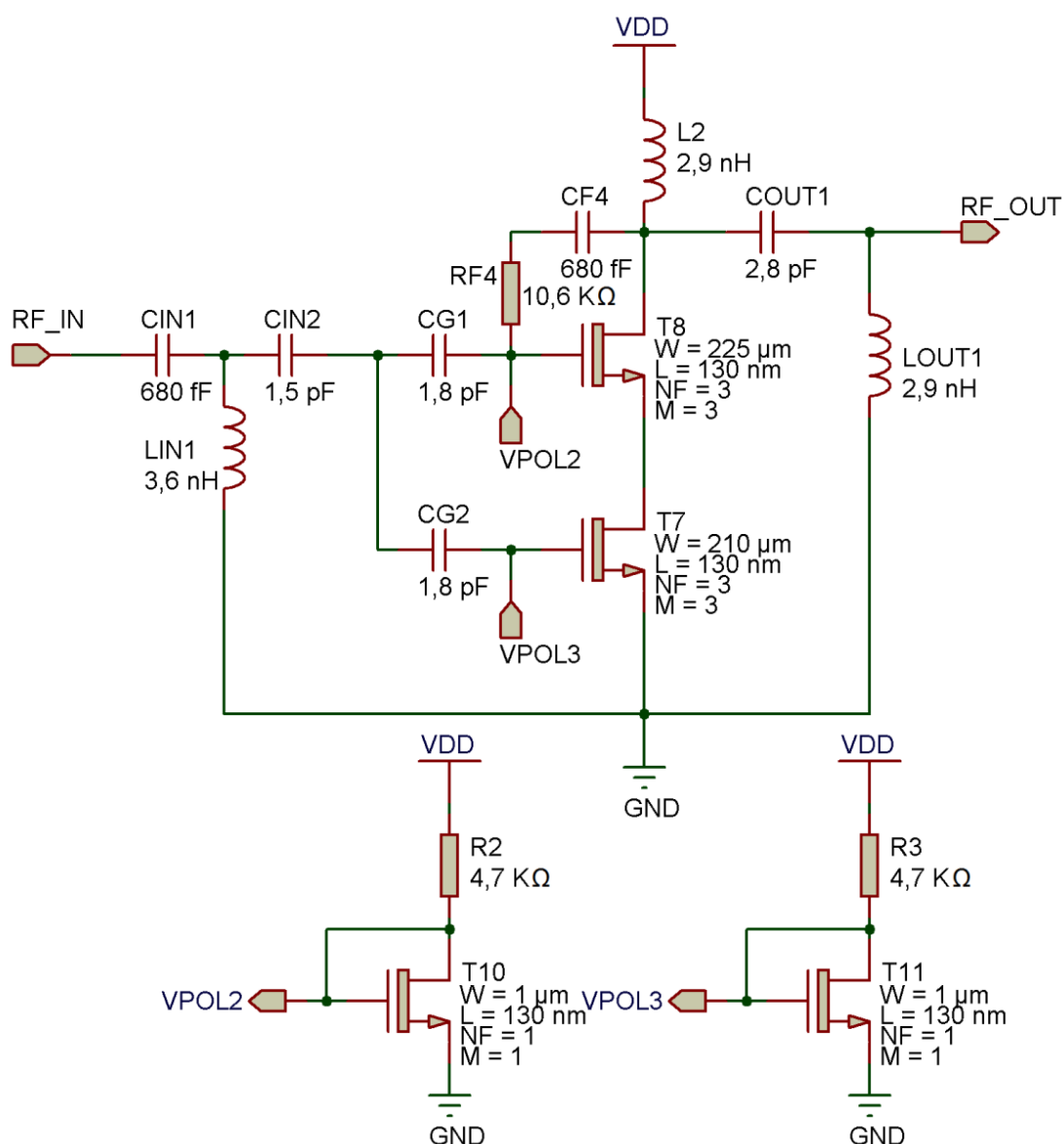


Figura 3.1 - Diagrama esquemático do estágio de potência do PA

Por ser o estágio responsável por entregar um nível de potência mais elevado para carga, este estágio também é o responsável pelo maior consumo de corrente contínua do sistema. Para a classe AB de operação, o ponto de polarização do estágio de potência foi ajustado de tal forma que o consumo de corrente contínua seja 88,6 mA, mantendo uma boa linearidade assim como uma boa eficiência. A Figura 3.2 mostra a máxima eficiência (PAE_{MAX}) de 34,1 % alcançada pelo estágio de potência. A PAE é calculada através da diferença entre a potência de saída e a potência de entrada em relação à potência fornecida pelas fontes contínuas para cada valor de potência de entrada.

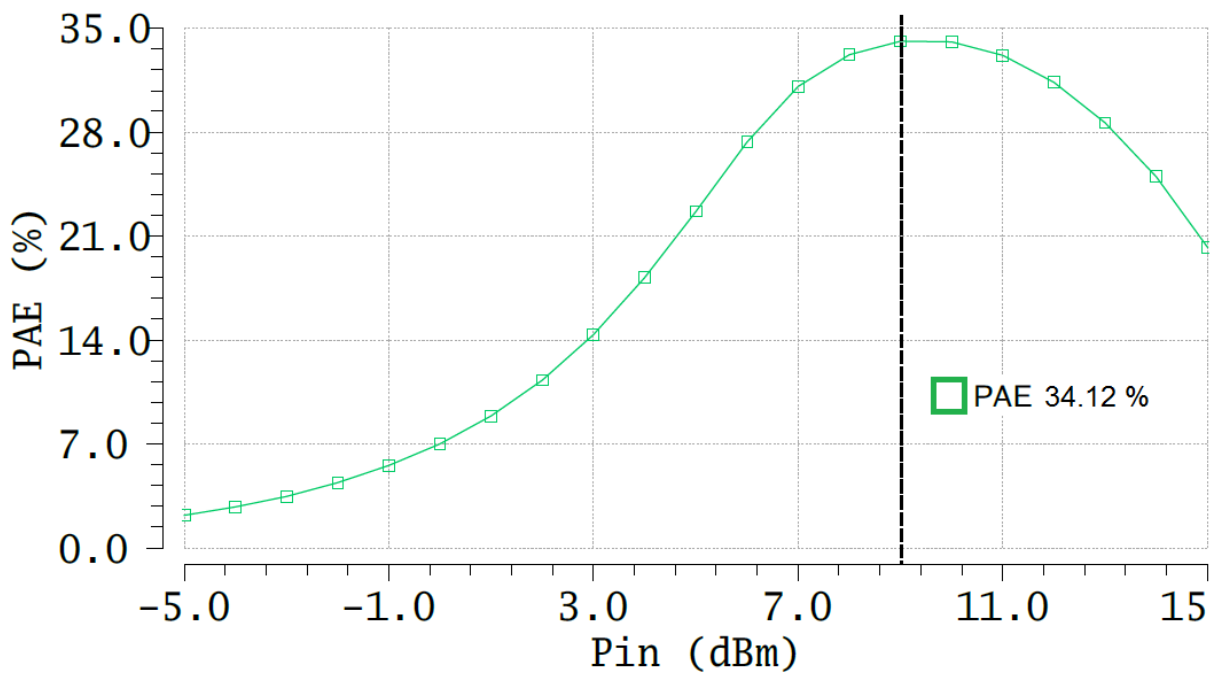


Figura 3.2 - PAE do estágio de potência do PA

A Figura 3.3 mostra um ganho de potência de 10,76 dB e uma potência de saída saturada de 17,33 dBm entregue pelo estágio de potência. Observa-se no gráfico que a partir de 9 dBm na potência de entrada, a potência de saída mantém-se praticamente constante.

A fim de assegurar a estabilidade incondicional do circuito, os elementos $C_{f4} = 680$ fF e $R_{f4} = 10$ K Ω foram inseridos entre a porta e o dreno do transistor T8. A Figura 3.4 apresenta o fator de estabilidade μ . Pode-se observar que o estágio de potência do PA é incondicionalmente estável.

O casamento de impedância na entrada do estágio de potência foi realizado através da rede (T) com três componentes, sendo eles $C_{in1} = 680$ fF, $C_{in2} = 1,5$ pF e $L_{in1} = 3,6$ nH. Os valores dos componentes foram definidos como sendo o complexo conjugado da fonte $Z_{IN} = Z_S^*$. A Figura 3.5 mostra um excelente casamento realizado na entrada do estágio de potência com uma impedância de aproximadamente $50,7 + j0,6$ Ω .

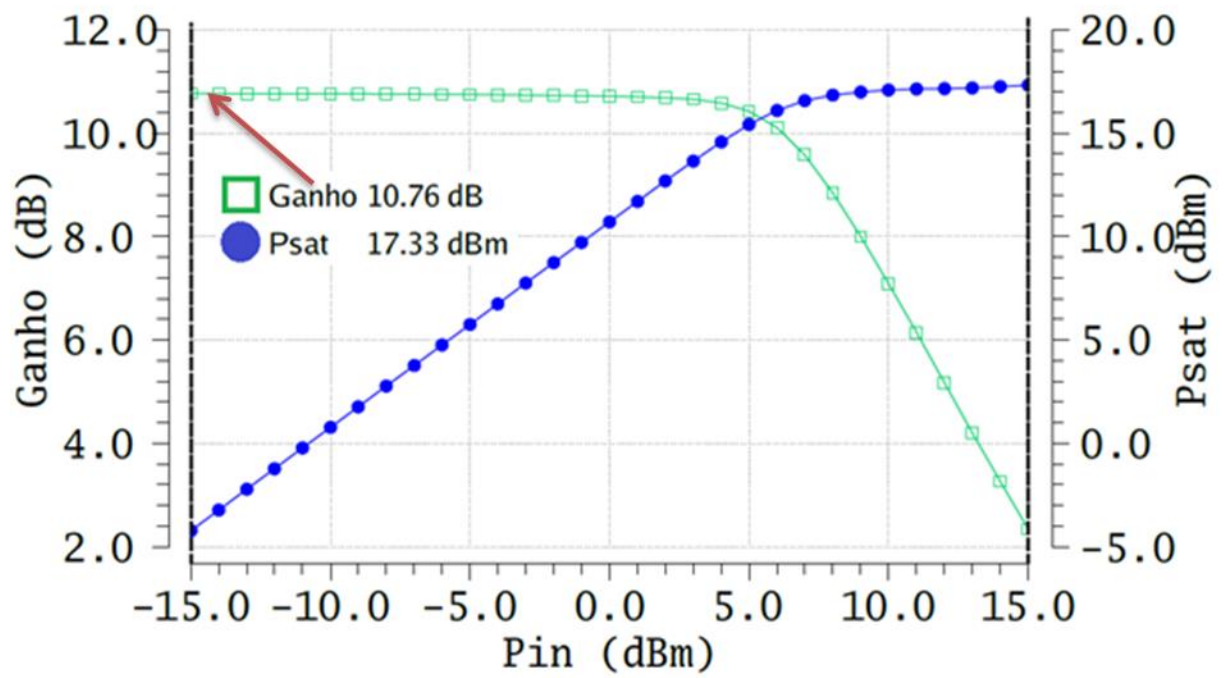


Figura 3.3 - Potência de saída e ganho do PA em função da potência de entrada

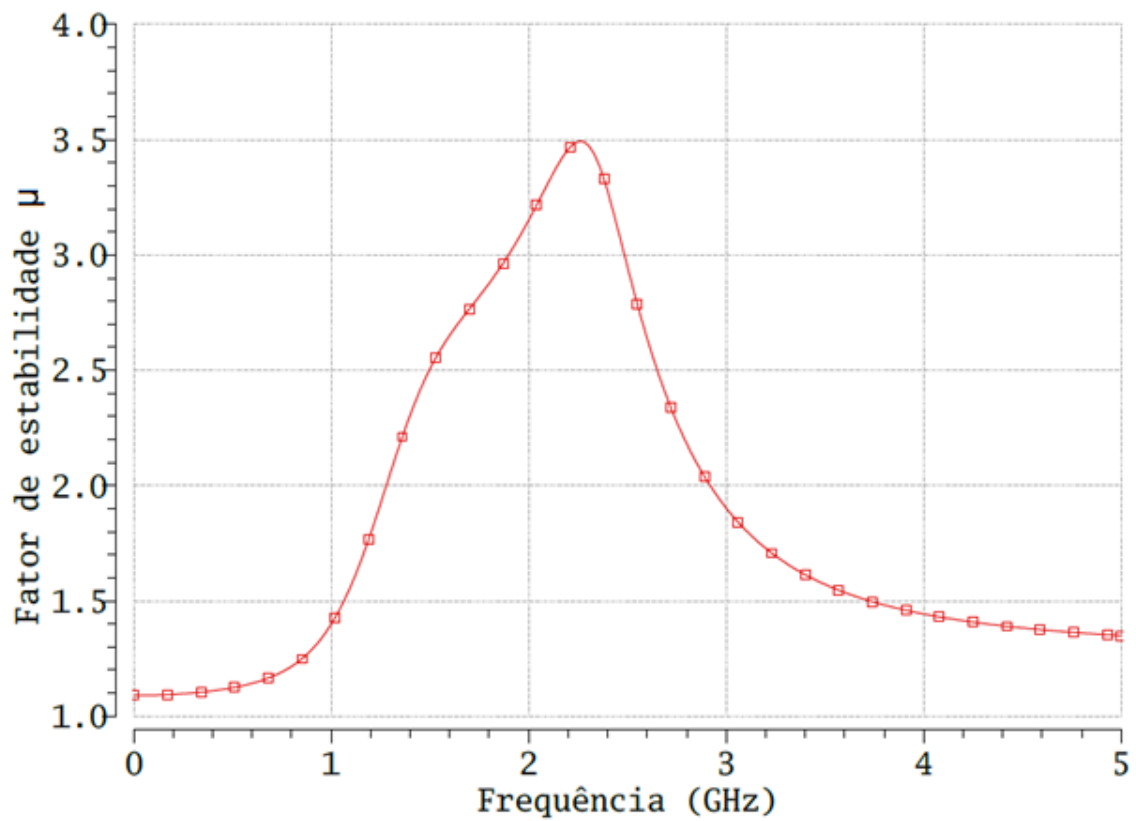
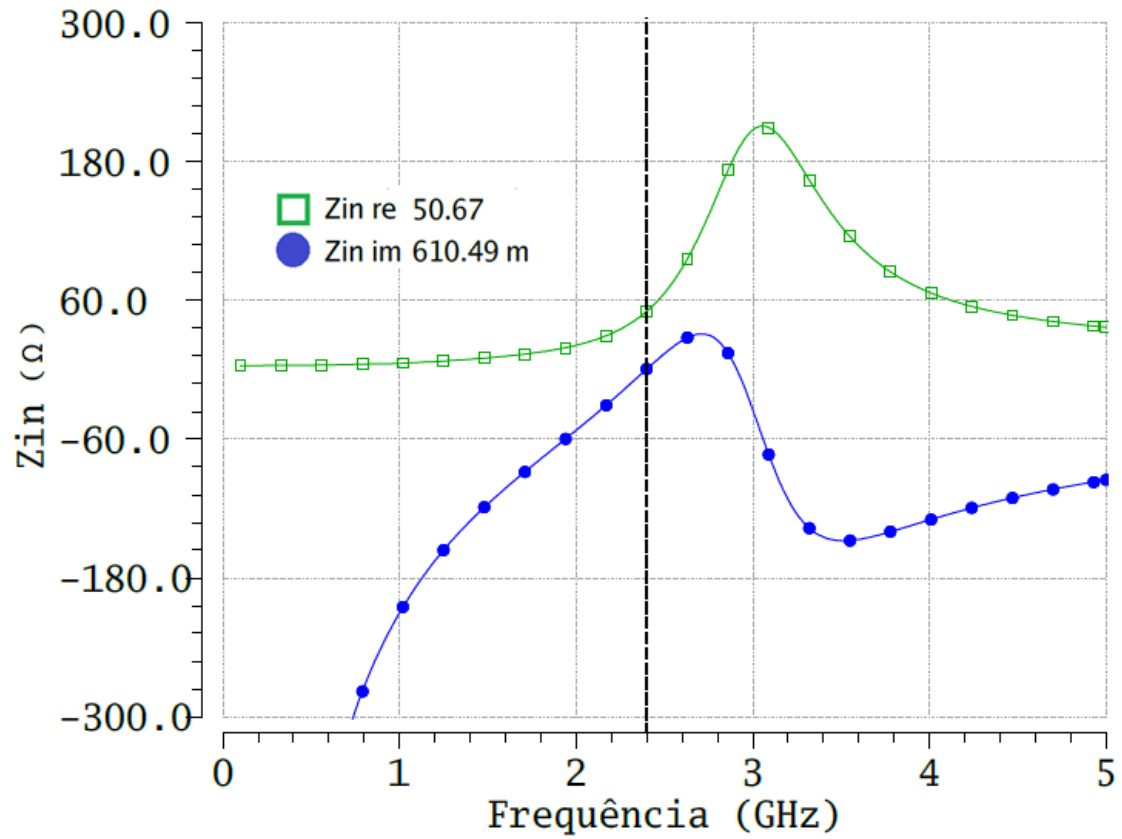
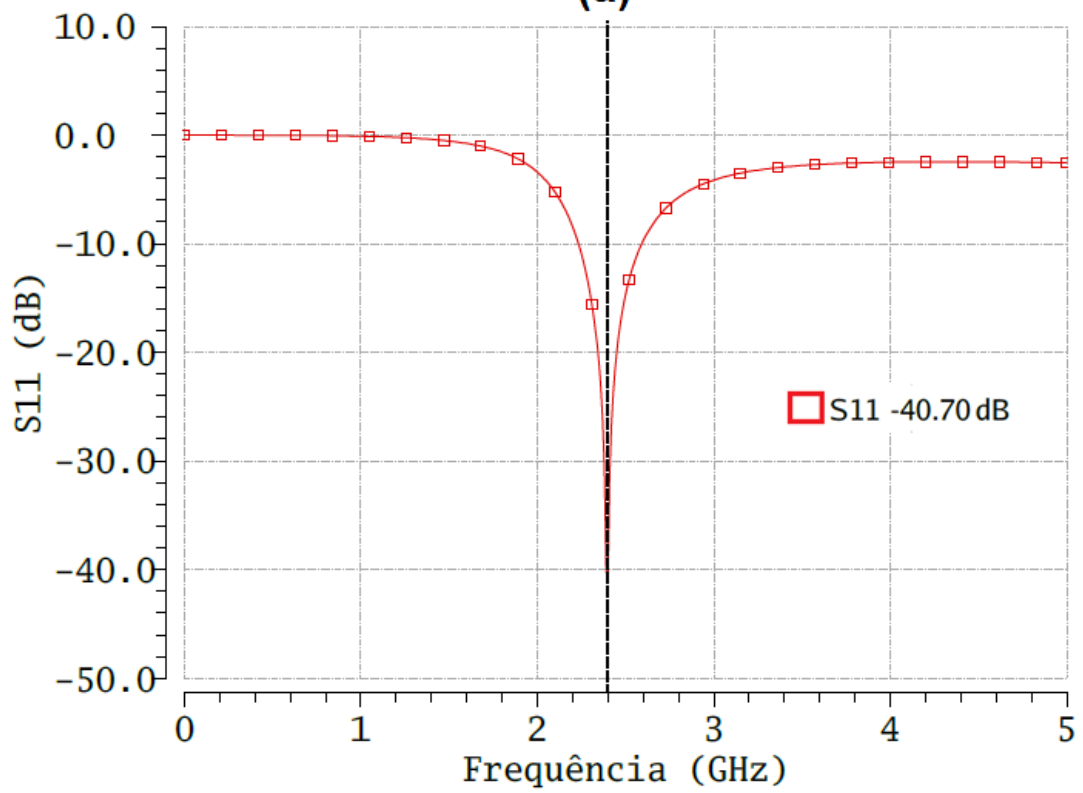


Figura 3.4 - Fator de estabilidade μ



(a)



(b)

Figura 3.5 - (a) casamento de impedância realizado na entrada do estágio de potência e (b) parâmetro S_{11} indicador do casamento de impedância na entrada da rede

O casamento de impedância na saída do estágio de potência foi realizado através da simulação de *load pull*. A rede de casamento é composta pelo indutor $L_{out1} = 2,9 \text{ nH}$ e pelo capacitor $C_{out1} = 2,8 \text{ pF}$.

3.1.2 Simulação de *load pull*

Obter uma potência de saída suficiente que atenda a especificação do projeto é o principal objetivo do estágio de saída. Sendo assim, a simulação de *load pull* promove uma forma de determinar uma impedância de saída ótima com a qual o PA é capaz fornecer uma alta potência de saída com valores aceitáveis de ganho e rendimento. Na prática, a simulação de *load pull* consiste em varrer os coeficientes de reflexão da saída (magnitude e fase) e depois plotar esses valores na carta de Smith como uma função do complexo conjugado da carga vista pelo transistor.

A simulação de *load pull* foi realizada através da ferramenta computacional *Virtuoso Analog Design Environment L* (ADE-L). Após a varredura dos valores, os contornos de potência foram plotados na carta de Smith. Após a análise dos contornos, foi determinada uma impedância ótima de $21,4 + j1,3 \Omega$. Em seguida, com a ajuda do *Software Smith V2.00* (Dellsperger, Tschirren, Wetzels, Aebersold, & Baud, 2004) foram encontrados os valores dos componentes da rede de casamento mostrados na Figura 3.6.

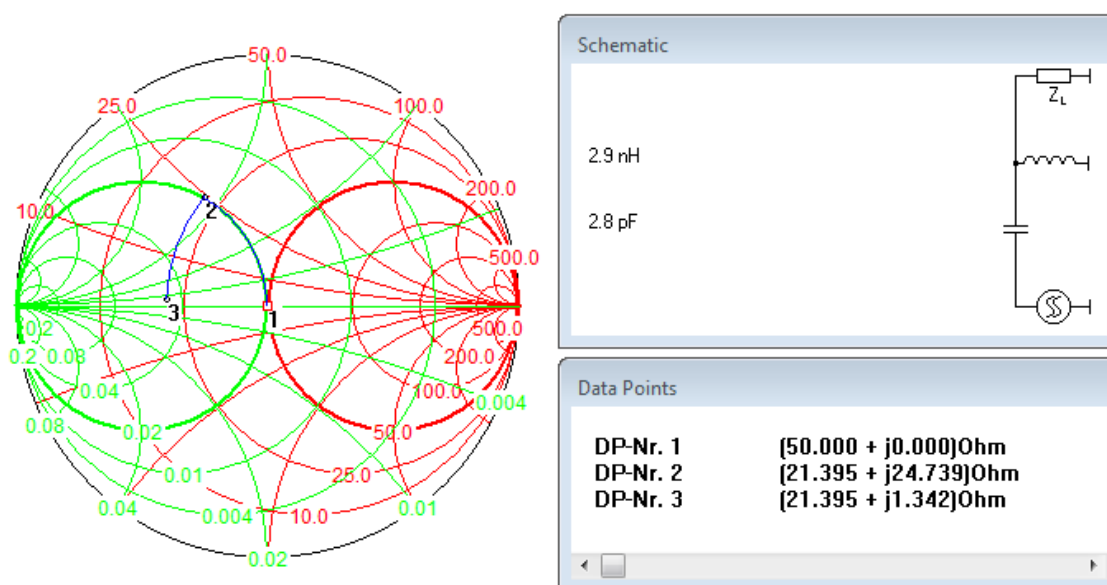


Figura 3.6 - Rede de casamento usada na saída do PA. Os valores dos componentes foram baseados na simulação de *load pull*, onde o valor do capacitor C_{out1} é igual a $2,8 \text{ pF}$ e o valor do indutor L_{out1} é igual a $2,9 \text{ nH}$

A Figura 3.7 mostra o ponto de compressão de 1-dB da potência de saída (OCP_{1dB}) antes (típico em $50\ \Omega$) e depois da simulação de *load pull*. No gráfico é possível observar uma melhora de 1,8 dB na potência de saída o que representa uma melhora na linearidade do PA.

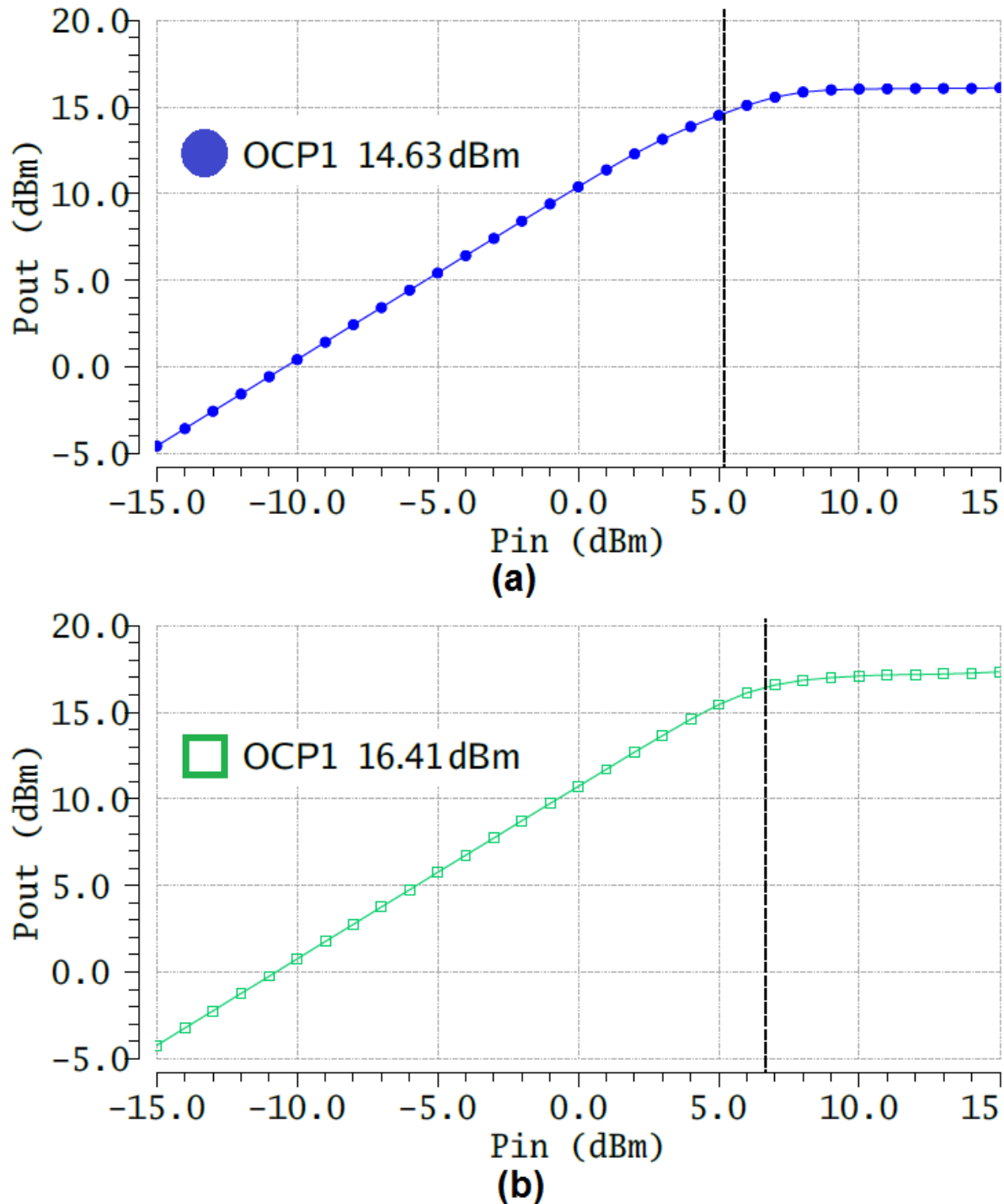


Figura 3.7 - Comparação dos valores da potência de saída antes (a) e após (b) a simulação de *load pull*

3.1.3 Layout do estágio de potência

Nesta etapa do projeto, a concepção do *layout* é realizada de acordo com as regras de fabricação da tecnologia usada (IBM, 2010). No caso deste trabalho, o *layout* apresentado está de acordo com as regras DRC (*Design Rule Checking*) do processo de fabricação da tecnologia CMOS IBM 0,13 μm (IBM 8RF-DM).

Na tecnologia CMOS IBM 0,13 μm , oito camadas de metais estão disponíveis para realizar o roteamento do circuito. Normalmente, as cinco primeiras camadas (M1, M2, M3, MQ, MG) são usadas para realizar o roteamento de nós CC, enquanto que as três últimas camadas (LY, E1, MA) por possuir uma resistividade menor são usadas para sinais RF.

A concepção do *layout* é tão importante quando o desenvolvimento da etapa do esquemático do circuito, pois a não conformidade do *layout* pode levar o projeto ao fracasso. Por isso, cuidados são necessários nesta etapa, como por exemplo, o dimensionamento das trilhas, a escolha do metal de acordo com o tipo do sinal e a distribuição dos componentes.

A Figura 3.8 mostra o *layout* implementado para o estágio de potência. Este *layout* também está de acordo com o teste de LVS (*Layout Versus Schematic*), que verifica a conformidade do *layout* com o diagrama esquemático.

O *layout* proposto ocupa uma área de 0,96 mm x 0,97 mm, incluindo *pads* de sinal RF (na horizontal), *pads* CC (na vertical) e capacitores de desacoplamento. Para minimizar as perdas referentes aos elementos parasitas, todos os transistores utilizados no projeto são do tipo RF, disponível na biblioteca de componentes do fabricante. A principal vantagem dos transistores RF em relação aos convencionais é de possuir um anel de guarda, além de possuir um comportamento mais adequado para aplicações RF. Entretanto, o uso dos transistores RF limita em três o número de *fingers* por transistor que pode ser utilizado no projeto.

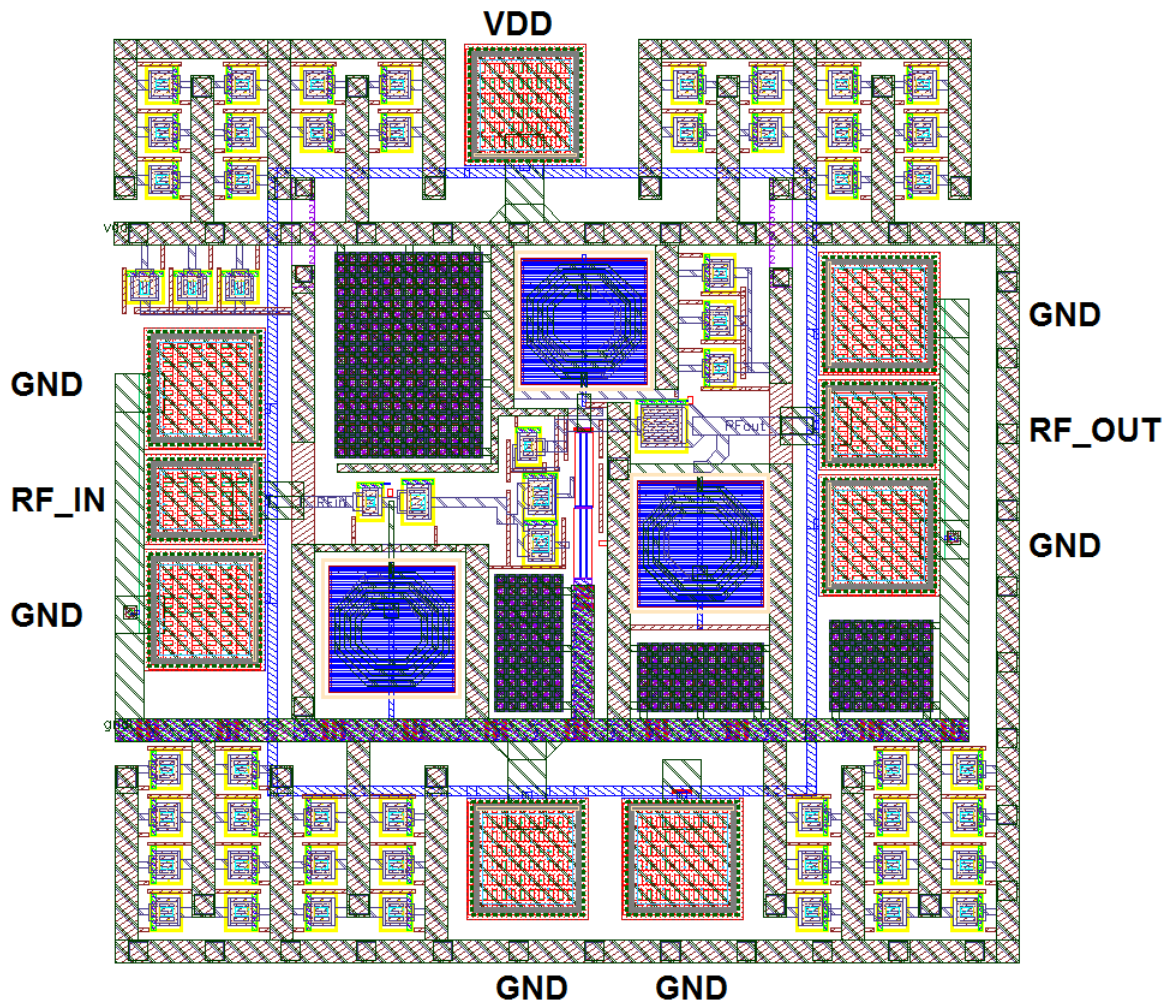


Figura 3.8 - Layout proposto para o estágio de potência com os pads inclusos

Para os componentes passivos, algumas técnicas de isolamento para reduzir o ruído também foram utilizadas, como por exemplo, os capacitores e resistores de poços N foram adotados como *backplane*. Para os componentes ativos, diodos foram polarizados inversamente a fim de evitar erros de antenas. Esses diodos foram colocados principalmente na porta dos transistores e na entrada e saída do sinal RF.

Foram tomados cuidados no dimensionamento das trilhas para nós CC em que metais foram sobrepostos para diminuir a resistência da trilha e aumentar a capacidade de corrente. Para os sinais RF, as trilhas foram dimensionadas as mais largas possíveis a fim de também diminuir sua resistência, como pode ser visto na Figura 3.9.

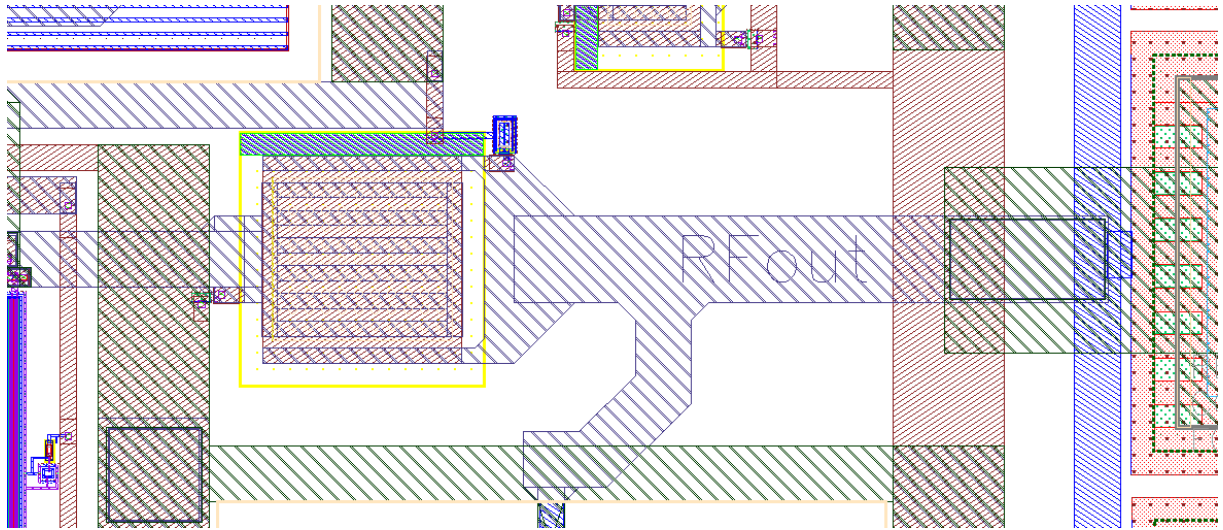


Figura 3.9 - Trilha RF larga com chanfros nos cantos e intersecções

3.2 Estágio de reconfigurabilidade (pré-amplificador)

Em sua grande maioria, o ganho de potência em PAs é aumentado com a introdução de um estágio pré-amplificador. Como a potência é favorecida no estágio de saída, faz-se necessário o uso do estágio pré-amplificador para aumentar o ganho total do PA. O controle discreto do ganho de potência é realizado através da combinação binária de três chaves VG1, VG2 e VG3 em seis combinações. A Figura 3.10 apresenta o diagrama esquemático do circuito implementado no estágio pré-amplificador.

Nesse estágio, três estruturas paralelas cascode são inseridas para controlar o ganho de potência do PA. Topologias cascode são adotadas para evitar o estresse excessivo de tensão em dispositivos CMOS, que são propensos a ruptura do óxido sob tensões elevadas (Sowlati & Leenaerts, 2002)(Knopik et al., 2005). Cada estrutura cascode está associada a uma chave (VG_x , $x=1,2,3$), que é ativada se $VG_x = V_{DD}$ ou desativada se $VG_x = GND$. Os transistores T1, T2 e T3 têm a largura do canal W igual a $40\ \mu\text{m}$ (multiplicidade de $2 \times 20\ \mu\text{m}$), $80\ \mu\text{m}$ (multiplicidade de $4 \times 20\ \mu\text{m}$) e $160\ \mu\text{m}$ (multiplicidade de $8 \times 20\ \mu\text{m}$) respectivamente, a razão entre a largura do canal é de 1: 2: 4. Esta razão permitiu obter uma variação do ganho de potência em passos sequenciais. Os transistores T4, T5 e T6 também possuem as mesmas larguras com essa proporção. O comprimento do canal L de todos os transistores das estruturas cascode é igual a $0,13\ \mu\text{m}$. Através da combinação das chaves de controle VG_x , a largura efetiva do canal das estruturas cascode variam de $80\ \mu\text{m}$ a $280\ \mu\text{m}$, conforme a Tabela 3.2, e consequentemente o ganho de potência aumenta.

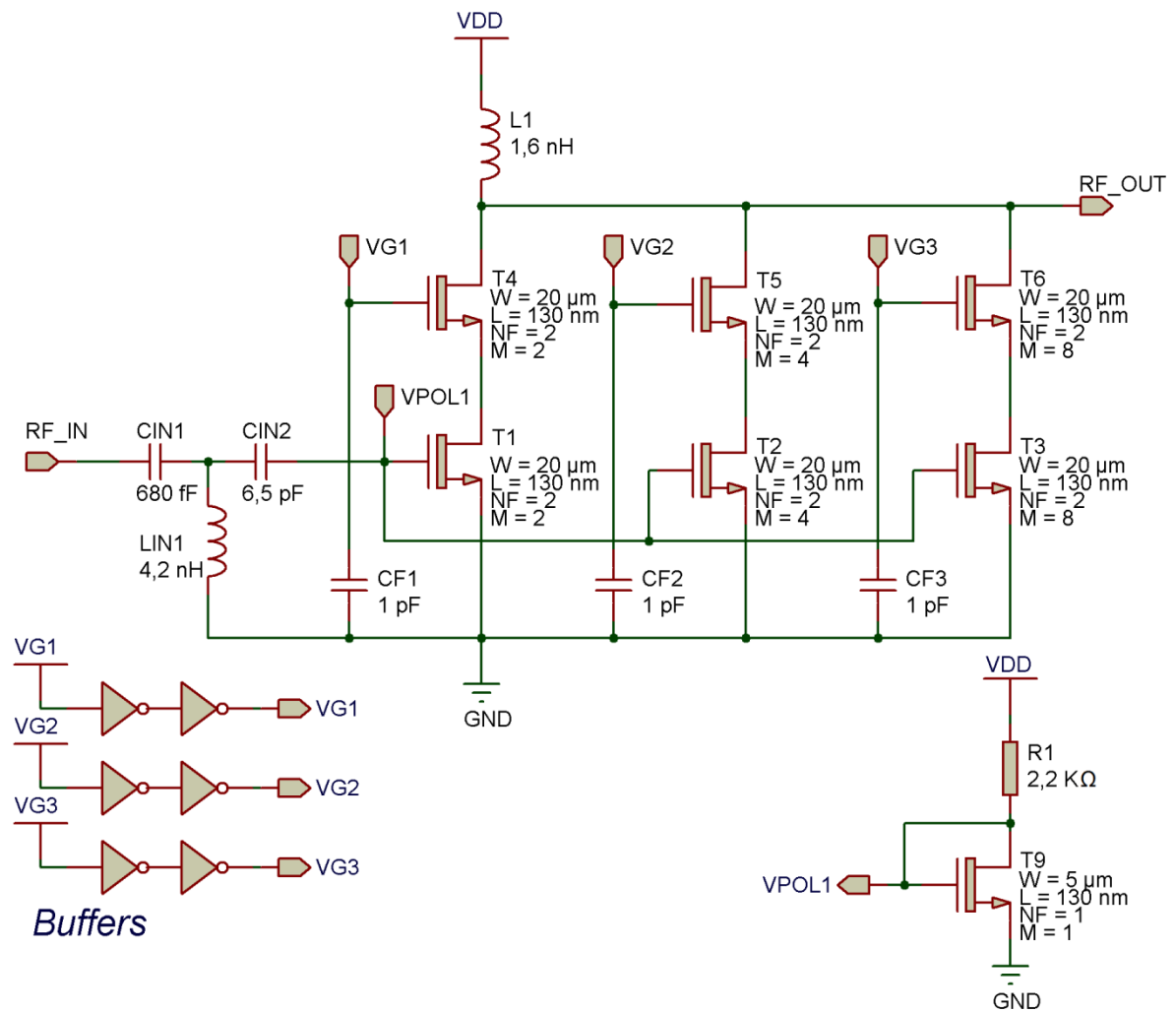


Figura 3.10 - Diagrama esquemático proposto para o estágio de reconfigurabilidade (pré-amplificador)

Tabela 3.2 - Modos de operação do PA através da combinação binária das chaves de controle

Modo	VG3 (V)	VG2 (V)	VG1 (V)	Largura efetiva do canal (μm)
1	0	1,8	0	80
2	0	1,8	1,8	40+80=120
3	1,8	0	0	160
4	1,8	0	1,8	160+40=200
5	1,8	1,8	0	160+80=240
6	1,8	1,8	1,8	160+80+40=280

A metodologia adotada para o dimensionamento dos transistores do estágio de reconfigurabilidade foi baseada na redução da potência de consumo entre os modos de operação. De acordo com o chaveamento das estruturas cascode, o consumo de corrente contínua deste estágio varia de 5,08 mA no modo 1 (baixo-ganho) a 35,54 mA no modo 6 (alto-ganho). Sendo que, a corrente de polarização é proporcional ao W (largura do canal) dos transistores, ou seja, quanto maior o valor de W maior será o ganho de potência e maior será a corrente de consumo também. A Figura 3.11 apresenta o ganho de potência do estágio pré-amplificador em relação ao consumo de potência. Como a função deste estágio é obter a reconfigurabilidade entre os modos de operação, observa-se através da Figura 3.11 uma redução de 71 % de P_{DC} quando o modo de alto ganho não é necessário. Sendo assim, este estágio pode selecionar um modo de menor ganho e consequentemente o consumo de potência é reduzido.

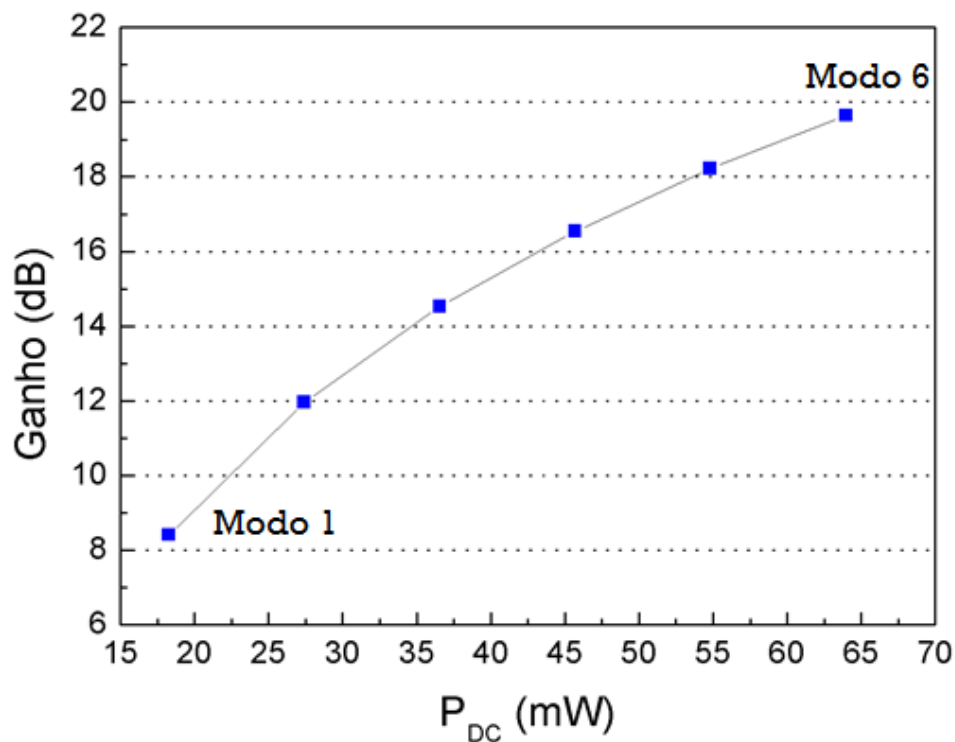


Figura 3.11 - Ganho x potência de consumo na frequência de operação 2,4 GHz

A largura do canal dos transistores deste estágio foi adotada em função do ganho de potência e a corrente de consumo. Observa-se na Tabela 3.3 que para o modo de alto ganho, a segunda combinação dos valores de W apresenta a melhor relação entre a corrente de consumo e o ganho de potência. Para as duas últimas combinações observa-se que o consumo

de corrente aumenta significativamente, enquanto que, para a primeira combinação o ganho é mais baixo.

Tabela 3.3 - Dimensionamento de W para os transistores do estágio de reconfigurabilidade

Modo de operação	W de T1 e T4 (μm)	W de T2 e T5 (μm)	W de T3 e T6 (μm)	I_{DC} (mA)	S_{21} (dB) em 2,4 GHz
6	30	60	120	26,51	16,62
6	40	80	160	35,54	19,62
6	50	100	200	44,59	21,62
6	60	120	240	53,63	22,69

Como a tensão de alimentação das chaves de controle do ganho de potência será externa ao *chip*, *buffers* utilizando inversores foram colocados na porta dos transistores T4, T5 e T6 para garantir que este sinal seja visto como (V_{DD} ou GND) pelas estruturas cascode.

A tensão de alimentação do estágio pré-amplificador é $V_{DD} = 1,8$ V. Para evitar que variações externas mudem o ponto de operação do estágio pré-amplificador, o transistor T9 foi colocado no circuito como fonte de tensão para isolar a tensão de polarização. A tensão de polarização é $V_{POL1} = 684,5$ mV.

A Figura 3.12 mostra a simulação de pequenos sinais para o ganho (S_{21}) em todos os modos de operação do PA realizada no Cadence, SpectreRF. Na frequência de operação 2,4 GHz, o ganho de potência pode ser variado de 8,4 dB a 19,6 dB em seis modos de acordo com a combinação binária das chaves de controle. O estágio pré-amplificador também deve ser capaz de fornecer uma potência de saída suficiente para o estágio de potência. A potência de saída saturada para todos os modos de operação do estágio pré-amplificador é apresentada na Figura 3.13.

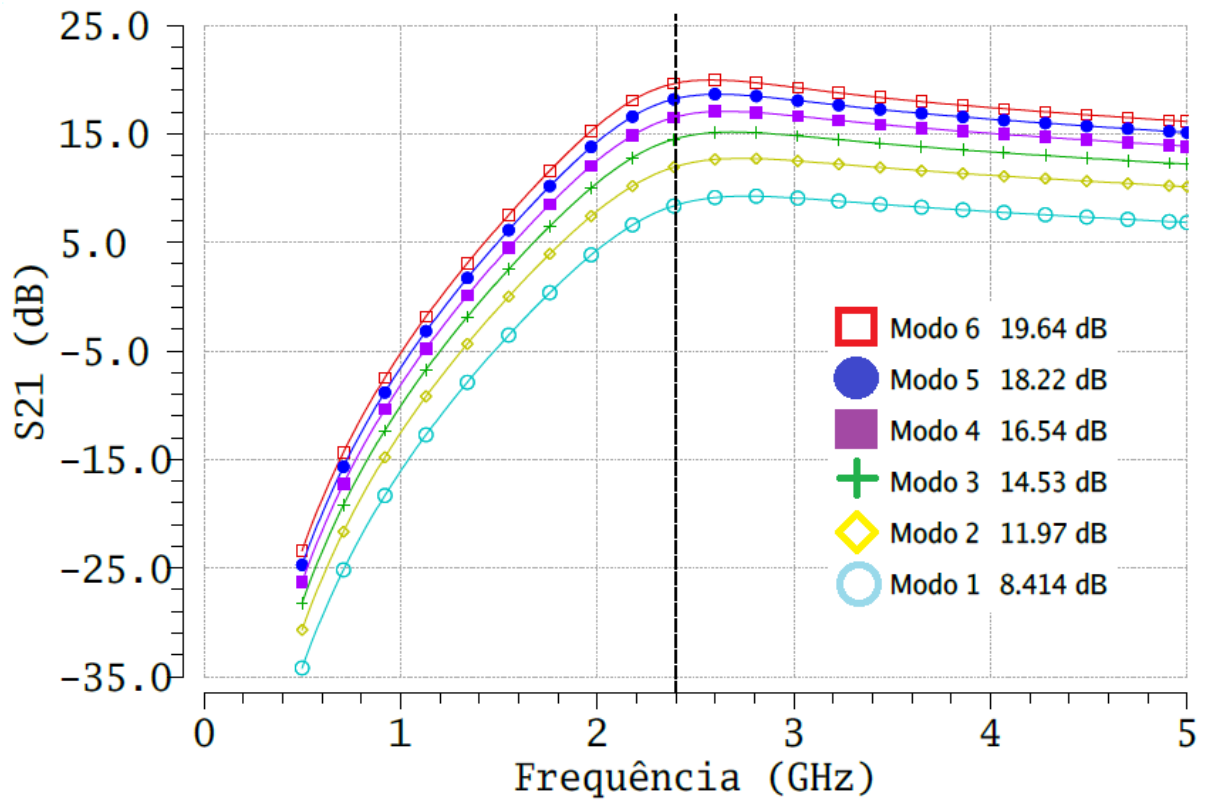


Figura 3.12 - Simulação de pequenos sinais para o ganho de potência do estágio de reconfigurabilidade do PA

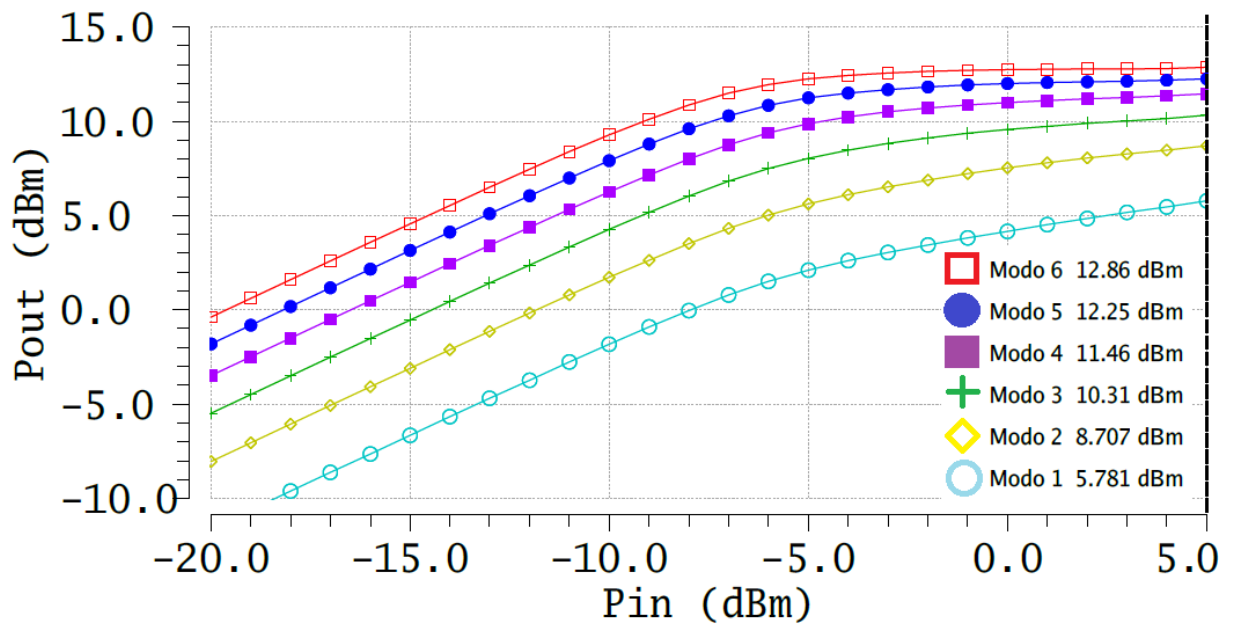


Figura 3.13- Simulação da potência de saída do estágio de reconfigurabilidade em relação a potência de entrada com marcação no ponto 5 dBm

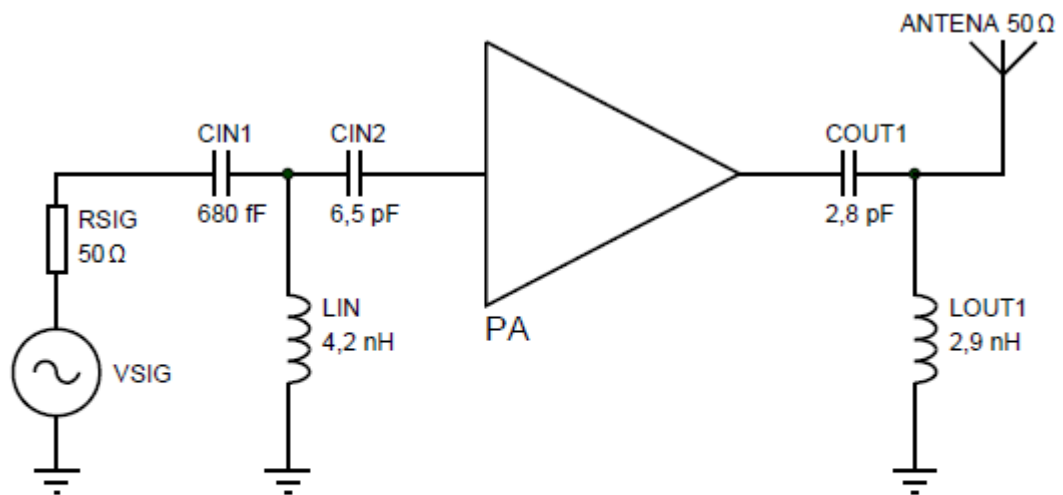
3.2.1 Rede de casamento de impedância na entrada do PA

Para alcançar o ganho máximo e evitar que o sinal de entrada seja refletido pelo PA, o casamento de impedância deve ser realizado para uma impedância de fonte de 50Ω . A impedância de entrada é realizada utilizando os parâmetros de espalhamento através da simulação de pequenos sinais. A Figura 3.14 apresenta a rede utilizada para casamento de impedância na entrada do PA, com uma impedância de aproximadamente $49,8 - j0,4 \Omega$ em 2,4 GHz.

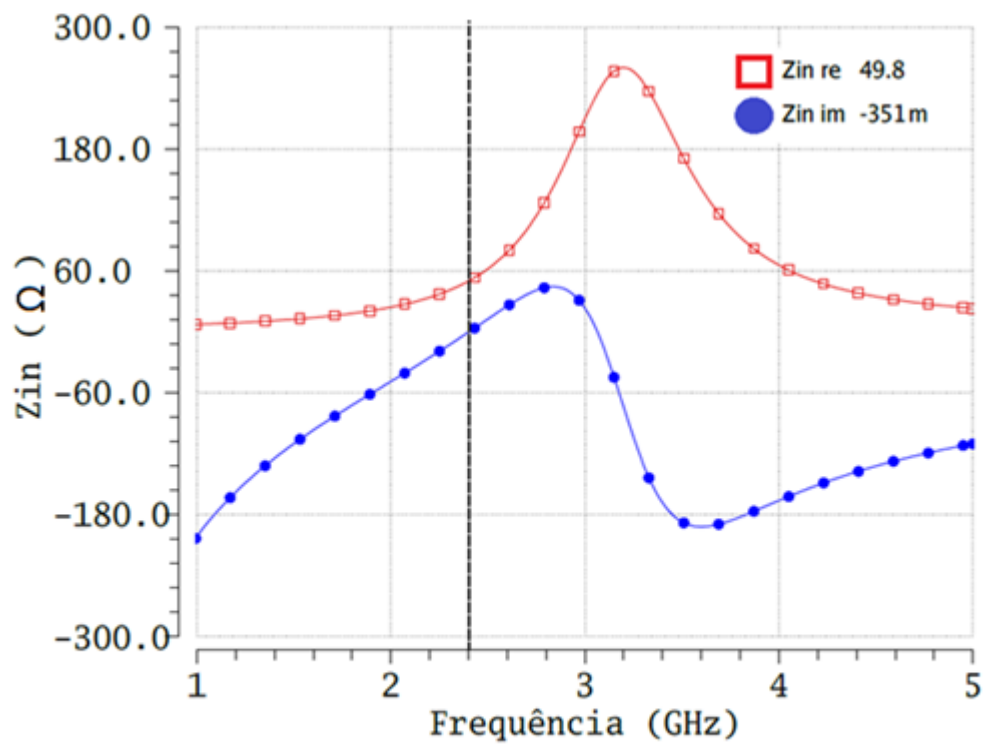
O casamento de impedância na entrada do PA foi realizado a partir do modo 6, pois este é o modo de operação responsável pelo maior ganho de potência, no entanto, a Figura 3.15 mostra um ótimo casamento de impedância para todos os modos de operação.

3.2.2 Layout do estágio de reconfigurabilidade (pré-amplificador)

A concepção do *layout* para o estágio pré-amplificador segue as mesmas técnicas apresentadas no *layout* do estágio de potência. O *layout* apresentado na Figura 3.16 está de acordo com as regras de *layout* do fabricante (DRC) e também passou no teste de comparação com o esquemático (LVS). O *layout* proposto ocupa uma área de 1,2 mm x 0,97 mm. Incluindo *pads* de sinal RF (na horizontal), *pads* DC (na vertical) e capacitores de desacoplamento. O sentido do sinal RF é da esquerda para direita.



(a)



(b)

Figura 3.14 - (a) rede de casamento de impedância na entrada e (b) entrada do PA casada em 50 Ω

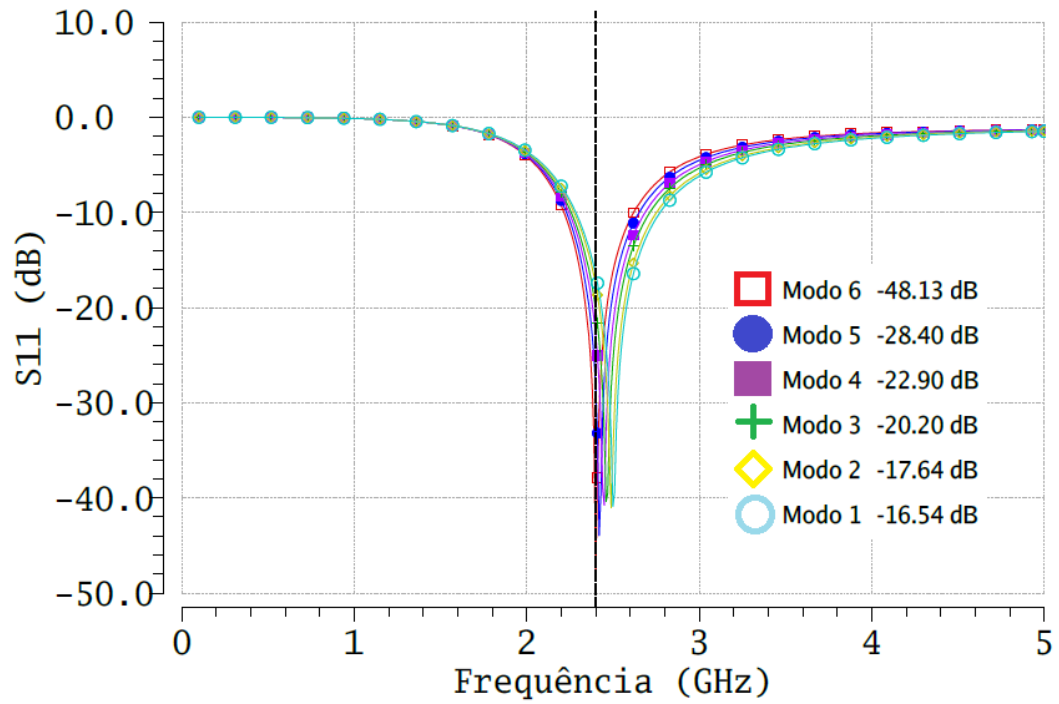


Figura 3.15 - Simulação de pequenos sinais (S_{11}) para todos os modos de operação do PA

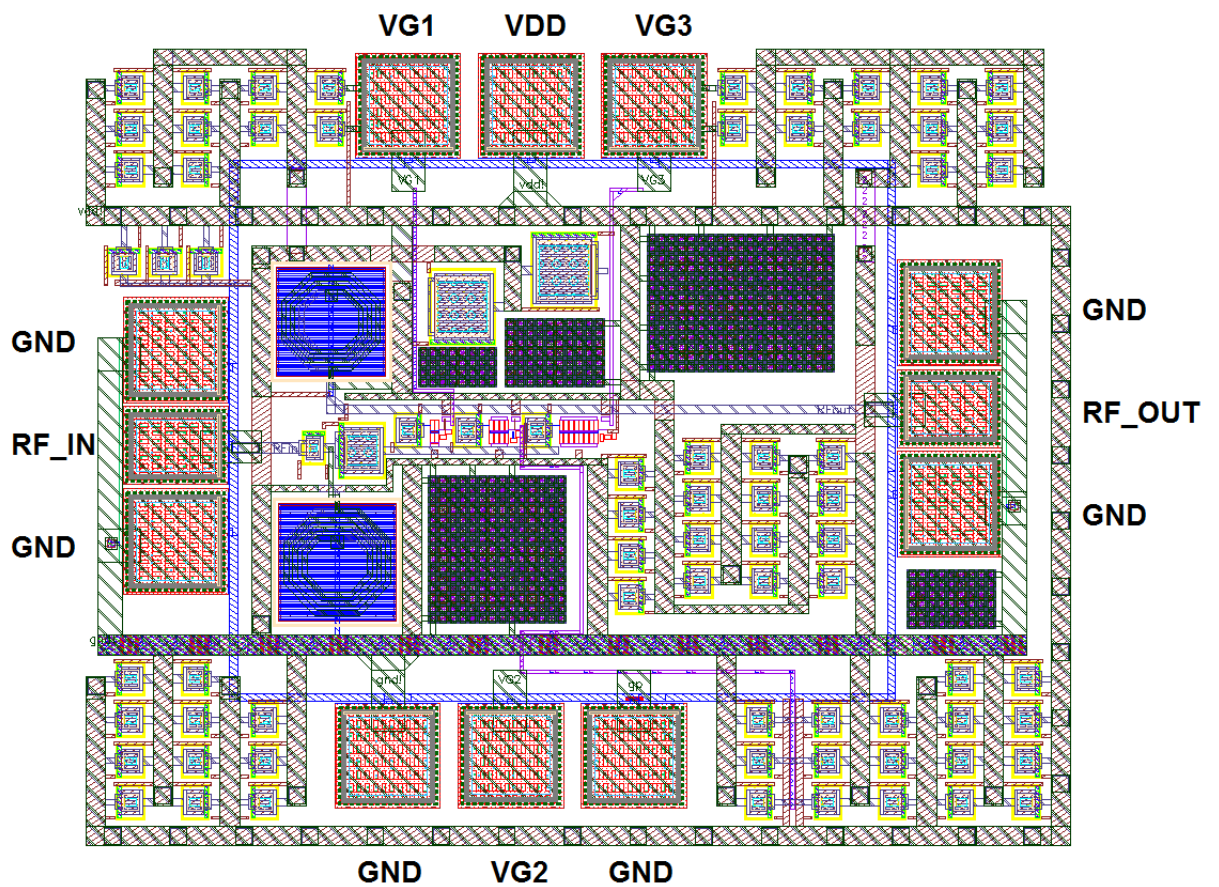


Figura 3.16 - Layout proposto para o estágio pré-amplificador

4 Resultados experimentais

Os resultados parciais dos estágios separados do PA são apresentados no capítulo anterior. Neste capítulo são apresentados os resultados de simulações e medições do circuito completo para o PA proposto. Após finalizar as etapas do estágio de reconfigurabilidade e do estágio de potência, inicia-se a fase de testes do projeto com os dois estágios em funcionamento. Desta forma é possível avaliar os resultados para comprovar o funcionamento do PA projetado. Os resultados esperados para o funcionamento do PA são:

- Controle do ganho de potência em seis modos de operação;
- Redução da potência de consumo (P_{DC}) quando o modo de alto-ganho não é necessário;
- Aumento da eficiência em potências de recuo;
- Potência de saída elevada;
- PA incondicionalmente estável em todos os modos de operação.

A Figura 4.1 apresenta o diagrama esquemático do circuito completo do amplificador de potência.

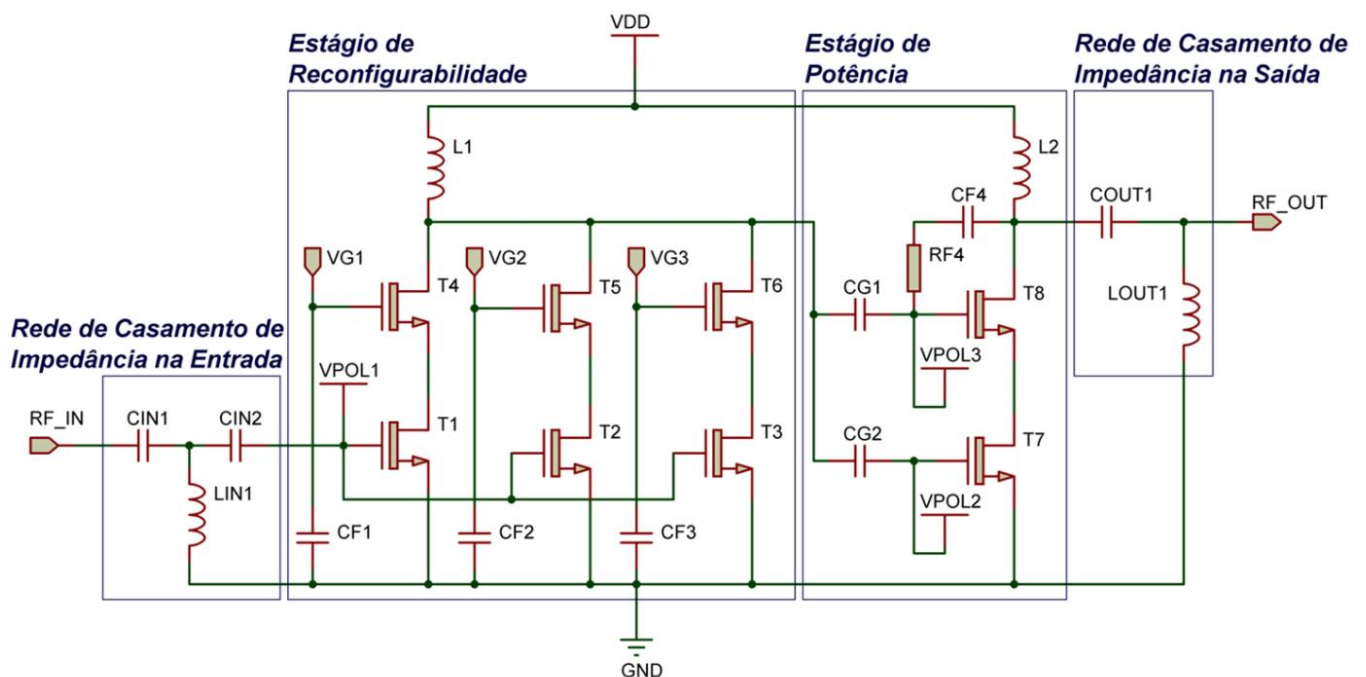


Figura 4.1 - Diagrama esquemático completo do circuito do PA proposto

4.1 Layout do PA completo

O *layout* apresentado na Figura 4.2 está de acordo com as regras de *layout* do fabricante (DRC) e também passou no teste de comparação com o diagrama esquemático (LVS). O *layout* proposto ocupa uma área de 1,2 mm x 0,97 mm, incluindo *pads* de sinal RF, *pads* CC e capacitores de desacoplamento. Os capacitores de desacoplamento foram colocados entre os sinais de alimentação ($V_{DD} - GND$) e entre os sinais de polarização ($VG1 - GND$), ($VG2 - GND$) e ($VG3 - GND$). Também foram colocados planos distribuídos de metais para as tensões de V_{DD} e GND no *layout*.

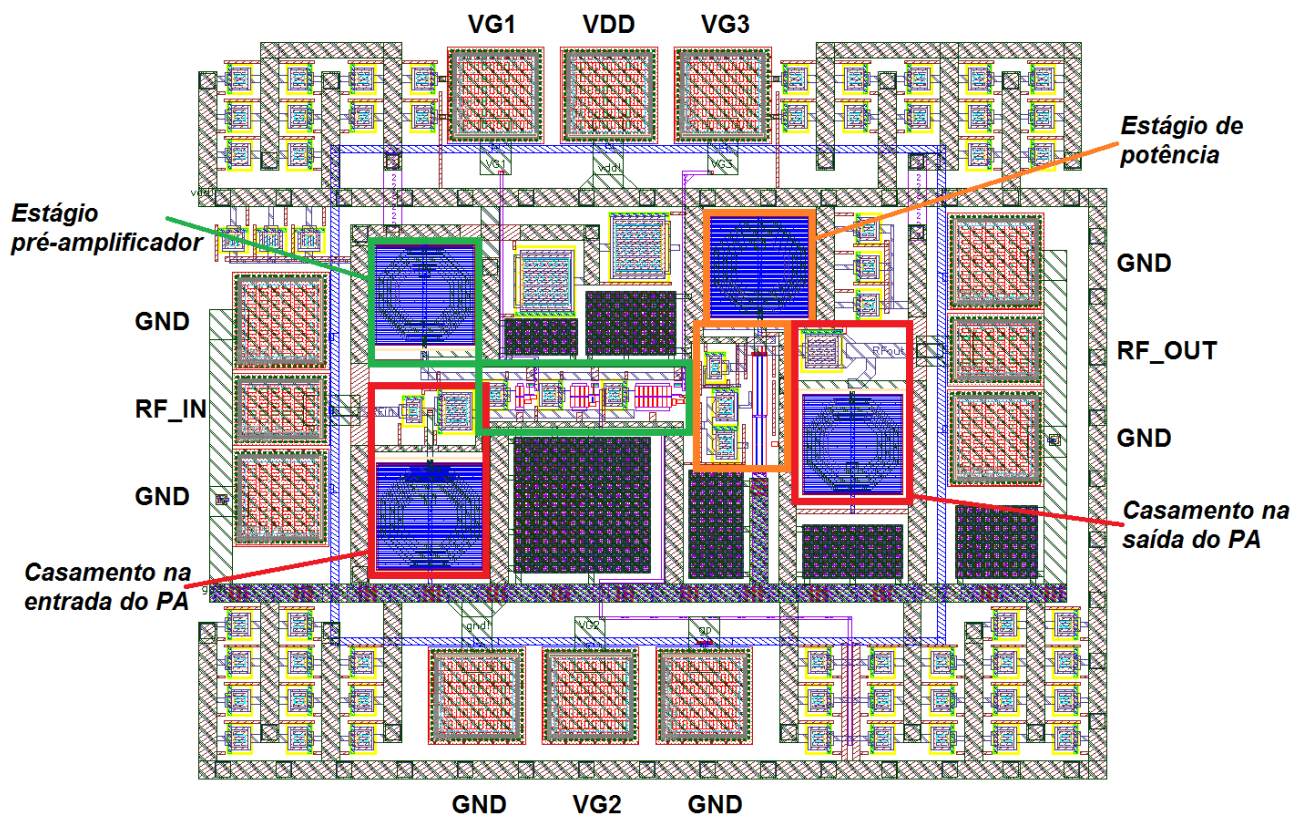


Figura 4.2 - Layout completo do PA proposto

4.2 Resultados de simulação pós-layout

4.2.1 Resultados de simulação para o processo típico

Após a concepção do *layout* do circuito completo, simulações de pequenos sinais e grandes sinais foram realizadas no ambiente *Virtuoso ADE-XL* para verificar o funcionamento do PA. A simulação *pós-layout* é muito importante, pois verifica o impacto dos elementos parasitas que não são considerados na etapa do diagrama esquemático. Para o

processo típico, a simulação *pós-layout* foi realizada considerando uma tensão de alimentação $V_{DD} = 1,8$ V e uma temperatura de 70 °C.

A Figura 4.3 apresenta a variação do ganho (S_{21}) para todos os modos de operação do PA. Na frequência de operação 2,4 GHz, o ganho pode ser variado de 25 dB a 34,4 dB em seis modos de acordo com a combinação das chaves de controle.

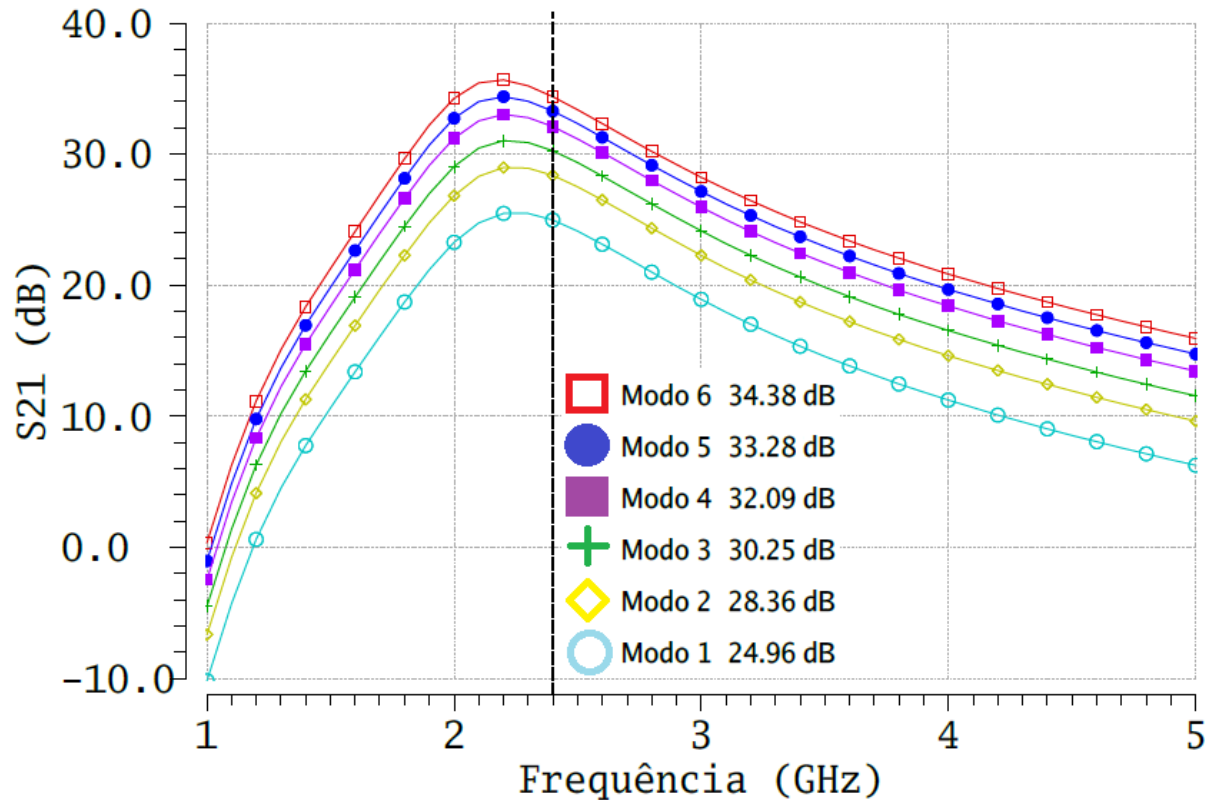
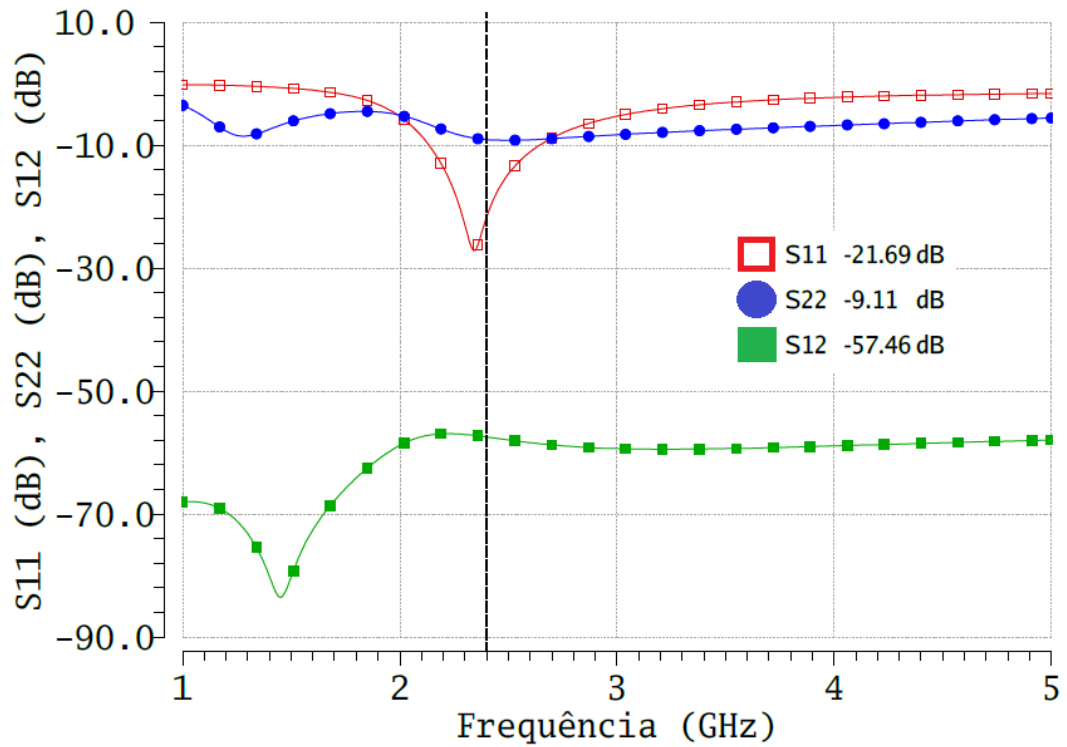


Figura 4.3 - Simulação de pequenos sinais: variação do ganho para todos os modos de operação em 2,4 GHz

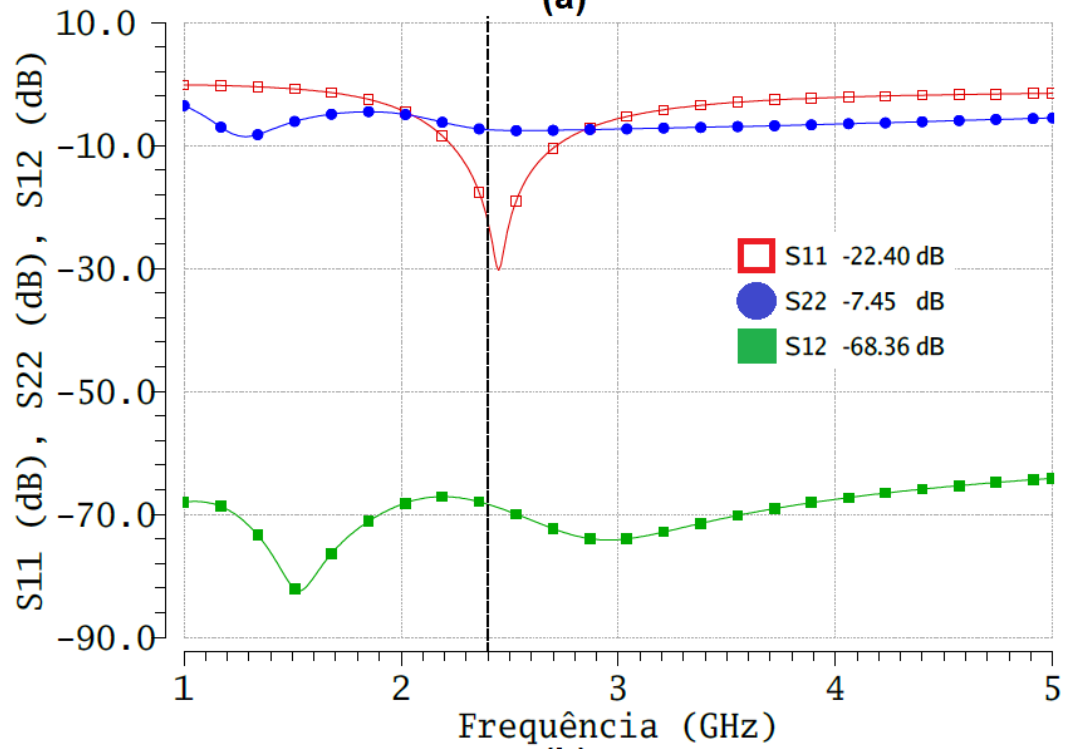
A Figura 4.4 apresenta outra simulação de pequenos sinais. Observa-se que em 2,4 GHz, para os modos de operação 6 (alto-ganho) e 1 (baixo-ganho), um excelente casamento de impedância foi realizado na entrada do PA, indicado pelo parâmetro S_{11} . Em ambos os modos de operação, um ganho reverso (S_{12}) melhor que -68 dB indica uma boa isolamento. O casamento na saída do PA (S_{22}) ficou acima de -10 dB, uma vez que a potência de saída foi privilegiada no estágio de potência. Observa-se na Figura 4.5 que o PA é incondicionalmente estável em todos os modos de operação.

Na Figura 4.6 observa-se o ponto de compressão de 1-dB (OCP_{1dB}) e a potência de saída saturada (P_{SAT}) para todos os modos de operação do PA. O PA alcança 15,8 dBm em OCP_{1dB} bem como 16,6 dBm em P_{SAT} . Nota-se na Figura 4.6 que o PA é capaz de fornecer

uma potência de saída saturada praticamente igual para todos os modos de operação, uma vez que o estágio de reconfigurabilidade não afeta o estágio de saída.



(a)



(b)

Figura 4.4 - Simulação dos parâmetros S para o modo 6 (a) e para o modo 1 (b)

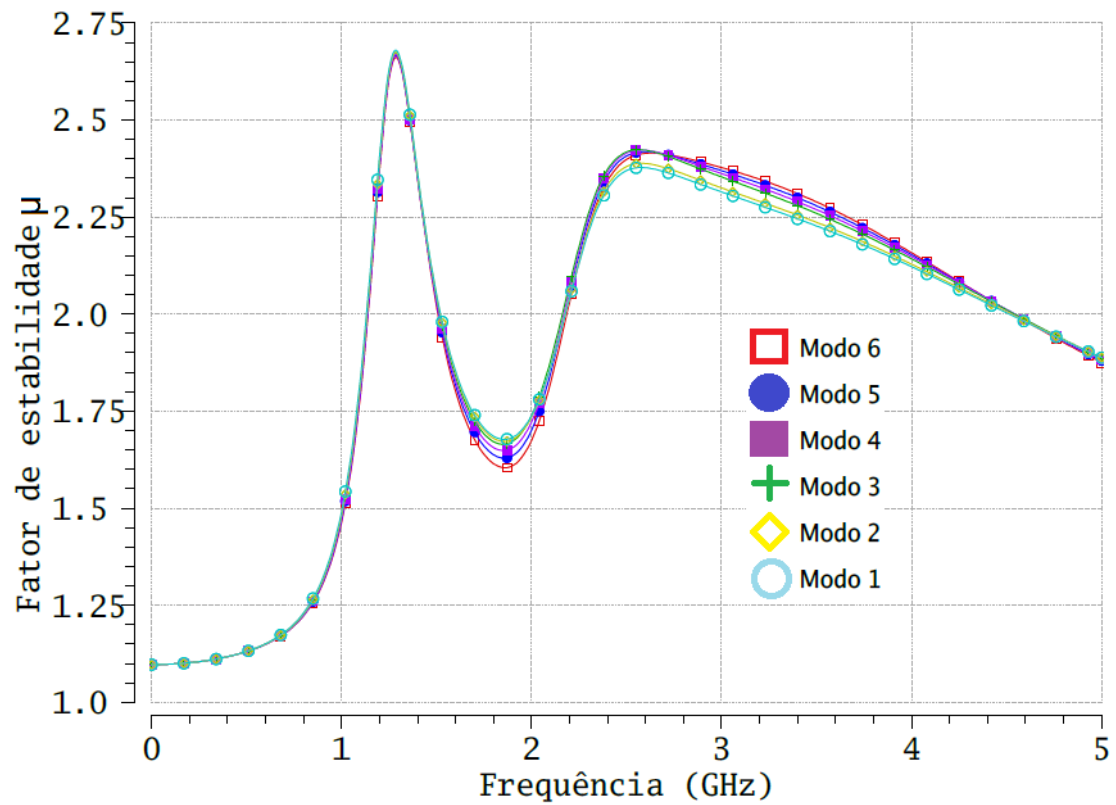


Figura 4.5 - Fator de estabilidade μ apresentado para todos os modos de operação

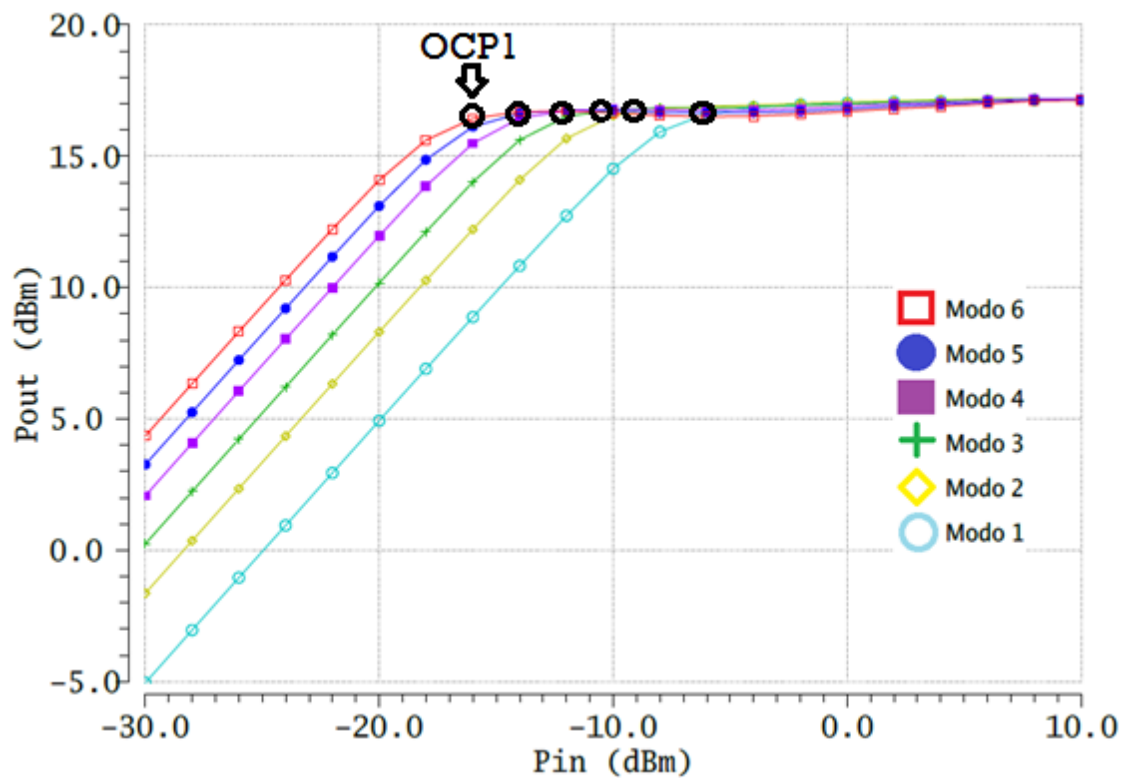


Figura 4.6 - Simulação de grandes sinais para a potência de saída em relação a potência de entrada

Como um dos objetivos deste PA é obter uma redução no consumo de potência, observa-se na Figura 4.7 que através da reconfigurabilidade dos modos de operação proposta pelo primeiro estágio, o consumo de potência é reduzido proporcionalmente quando um modo de menor ganho é selecionado. As Figuras 4.8 e 4.9 apresentam o consumo de potência do PA em função das potências de entrada e saída. Observa-se que quando o ganho elevado não é necessário para a transmissão, o PA pode comutar para um modo de menor ganho, permitindo que a corrente de consumo diminua e consequentemente obtenha-se uma melhora significativa no consumo de potência do PA.

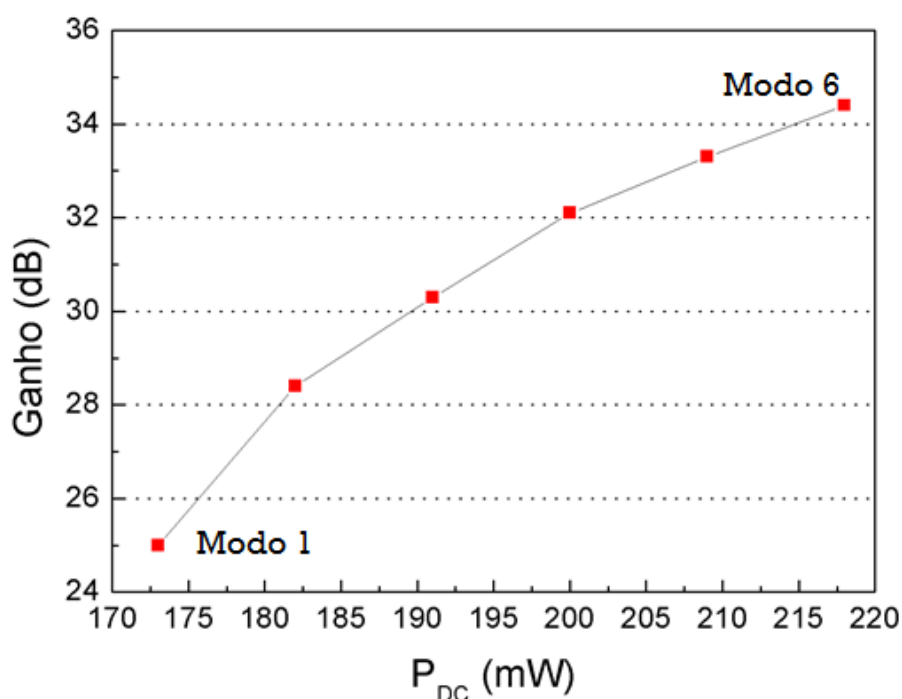


Figura 4.7 - Redução da potência de consumo de acordo com a seleção do modo de menor ganho de potência

As Figuras 4.10 e 4.11 apresentam a simulação da eficiência (PAE) do PA. A Figura 4.10 mostra um pico de eficiência superior a 35 % em todos os modos de operação. Além disso, observa-se que para valores menores da potência de entrada uma melhor eficiência é alcançada nos modos de maior ganho, entretanto, na medida em que os valores da potência de entrada são maiores, uma melhor eficiência é alcançada nos modos de menor ganho. Isto significa que antes da compressão do ganho de potência, para uma determinada potência de saída, a maior eficiência é alcançada pelos modos de ganho mais baixo. Por exemplo, na Figura 4.11, para uma potência de saída em 16 dBm a PAE é melhorada de 21,2 % (modo de alto-ganho) para 27,2 % (modo de baixo-ganho).

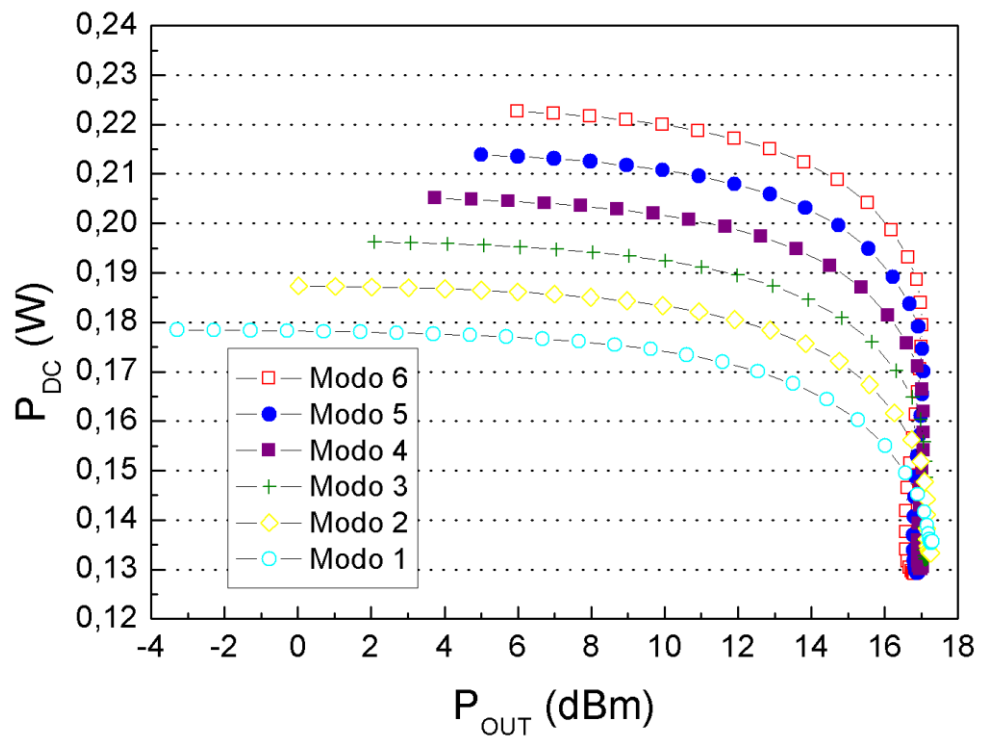


Figura 4.8 - Simulação do consumo de potência em função da potência de saída de acordo com o modo de operação

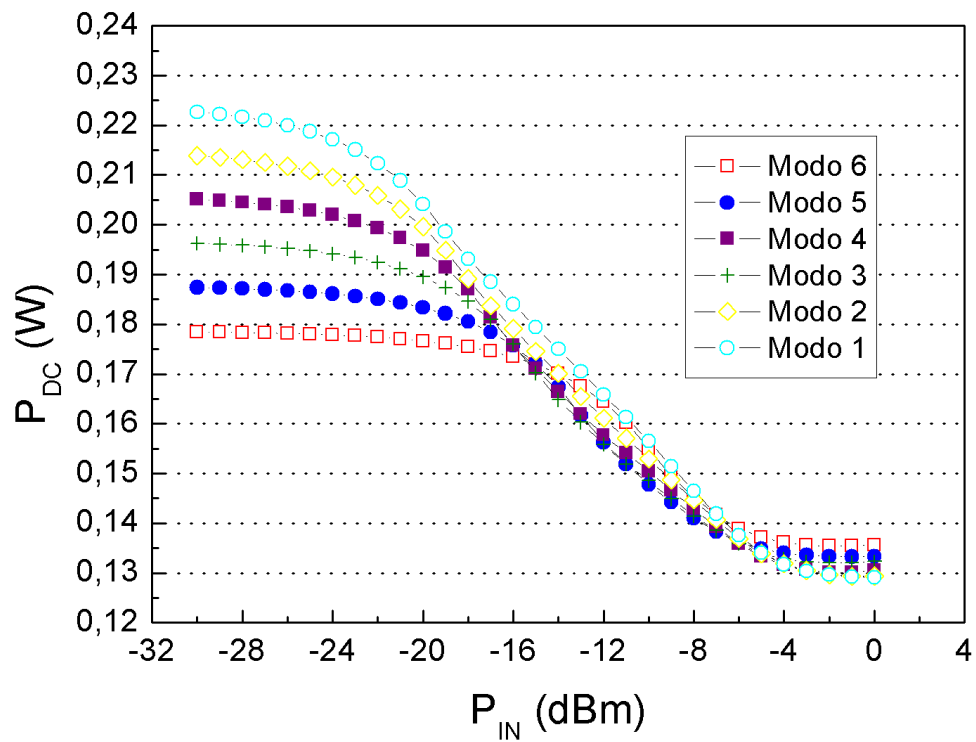


Figura 4.9 - Simulação do consumo de potência em função da potência de entrada de acordo com o modo de operação

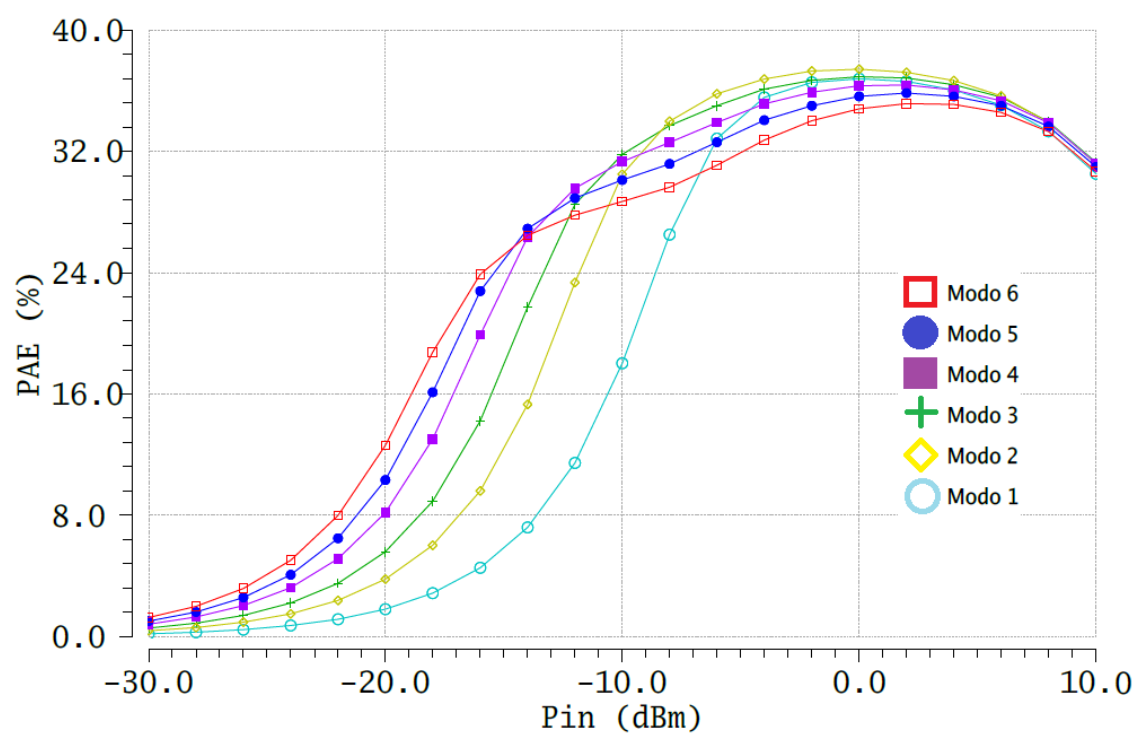


Figura 4.10 - Simulação da PAE x potência de entrada

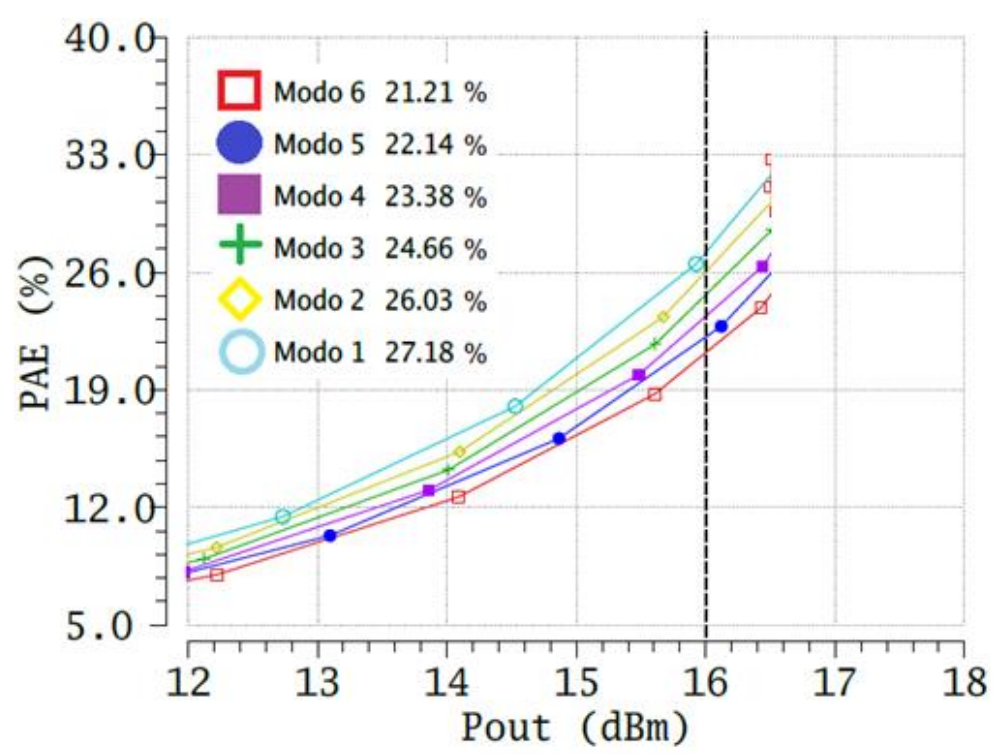


Figura 4.11 - Simulação da PAE x potência de saída

O desempenho do PA após as simulações *pós-layout* é resumido na Tabela 4.1. Observa-se que as simulações *pós-layout* respeitam as especificações do projeto. Nota-se ainda que quando o ganho de potência elevado não é necessário para a transmissão, o PA pode operar em modo de baixo-ganho, onde desta forma é obtida uma redução de 23 % de P_{DC} em comparação com o modo de alto-ganho. Os valores CC apresentados na Tabela 4.1 foram obtidos a partir do ponto de compressão de 1-dB em cada modo de operação.

Tabela 4.1 - Resumo de desempenho do PA multimodo

Modo	I_{DC} (mA)	P_{DC} (mW)	OCP_{1dB} (dBm)	P_{SAT} (dBm)	Ganho (dB)	$PAE@OCP_{1dB}$ (%)	PAE_{MAX} (%)
6	109,46	218	15,8	16,6	34,4	19,8	35,1
5	104,06	209	15,9	16,7	33,3	19,9	35,8
4	98,72	200	15,8	16,7	32,1	22,4	36,4
3	93,59	191	15,9	16,8	30,3	24	36,9
2	88,67	182	15,9	16,9	28,4	25,3	37,4
1	84,3	173	15,8	16,9	25	26,1	36,8

4.2.2 Simulação de *Corners*

Nesta simulação, variações extremas para o pior e o melhor caso são realizadas. Três tipos de combinações entre a tensão de alimentação e a temperatura foram realizadas para efetuar a simulação, além da análise de cinco processos. Os valores escolhidos para a temperatura foram adotados levando em conta o processo típico e o aumento significativo da temperatura, a fim de avaliar o impacto no desempenho do PA.

- Tensão de alimentação $V_{DD} = 1,8$ V e Temperatura = 70 °C;
- Tensão de alimentação $V_{DD} = 1,7$ V e Temperatura = 95 °C;
- Tensão de alimentação $V_{DD} = 1,8$ V e Temperatura = 120 °C;
- Processos:
 - Nominal;
 - FF (Fast-Fast);
 - FS (Fast-Slow);
 - SF (Slow-Fast);
 - SS (Slow-Slow).

Os resultados para os modos de operação 6 (alto-ganho) e 1 (baixo-ganho) podem ser observados nas Tabelas 4.2, 4.3 e 4.4. Os parâmetros ponto de compressão de 1-dB (OCP_{1dB}), ganho de potência (S_{21}), potência de saída saturada (P_{SAT}), máxima eficiência (PAE_{MAX}) e consumo de corrente contínua (I_{DC}) são apresentados nas tabelas.

Analisando a Tabela 4.2, observa-se que para os modos de operação 6 (alto-ganho) e 1 (baixo-ganho), os resultados para todos os processos testados estão dentro do especificado. Os resultados da simulação de *corners* para todos os modos de operação são mostrados no Apêndice A.

Tabela 4.2 - Resultados da simulação de *corners* para os modos de operação 6 e 1 em 2,4 GHz. $V_{DD} = 1,8$ V e Temperatura = 70 °C

Modo	V_{DD} (V)	Temperatura (°C)	Processo	OCP_{1dB} (dBm)	S_{21} (dB)	P_{SAT} (dBm)	PAE_{MAX} (%)	I_{DC} (mA)
6	1,8	70	Nominal	15,9	34,14	16,64	35,14	121
			FF	16,02	35,93	16,54	35,77	118,8
			FS	15,98	35,64	16,52	35,69	118,3
			SF	15,58	32,47	16,64	34,55	121,7
			SS	15,59	32,38	16,63	34,54	121,1
1	1,8	70	Nominal	15,79	24,82	16,64	36,78	96,27
			FF	16,02	26,59	16,54	37,94	93,18
			FS	15,98	26,3	16,52	37,75	93,01
			SF	15,16	23,19	16,64	34,55	97,8
			SS	15,14	23,1	16,63	34,46	97,28

Analisando a Tabela 4.3, observa-se que o resultado de OCP_{1dB} para os processos SF e SS ficaram fora do especificado e que o resultado de P_{SAT} para o modo 6 (alto-ganho) ficou fora do especificado para todos os processos e para o modo 1 (baixo-ganho) os processos SF e SS ficaram fora do especificado. Esta diferença é justificada pela queda da tensão de alimentação do circuito e pelo aumento da temperatura de funcionamento do PA. Os resultados da simulação de *corners* para todos os modos de operação são mostrados no Apêndice B.

Tabela 4.3 - Resultados da simulação de *corners* para os modos de operação 6 e 1 em 2,4 GHz. $V_{DD} = 1,7$ V e Temperatura = 95 °C

Modo	V_{DD} (V)	Temperatura (°C)	Processo	OCP_{1dB} (dBm)	S_{21} (dB)	P_{SAT} (dBm)	PAE_{MAX} (%)	I_{DC} (mA)
6	1,7	95	Nominal	15	33,01	15,96	33,98	110,2
			FF	15,13	34,85	15,88	34,68	108,4
			FS	15,11	34,54	15,85	34,6	107,9
			SF	14,56	31,29	15,97	33,14	110,7
			SS	14,58	31,18	15,96	33,13	110
1	1,7	95	Nominal	14,72	23,67	16,18	34,74	87,57
			FF	15,1	25,48	16,14	36,31	84,92
			FS	15,08	25,18	16,15	36,04	84,68
			SF	13,97	21,98	15,94	31,91	88,76
			SS	13,93	21,88	15,9	31,77	88,2

Analisando a Tabela 4.4, observa-se que para os modos de operação 6 (alto-ganho) e 1 (baixo-ganho), os resultados de OCP_{1dB} para os processos SF e SS ficaram fora do especificado. Esta diferença é justificada pelo aumento da temperatura de funcionamento do PA. Os resultados da simulação de *corners* para todos os modos de operação são mostrados no Apêndice C.

Tabela 4.4 - Resultados da simulação de *corners* para os modos de operação 6 e 1 em 2,4 GHz. $V_{DD} = 1,8$ V e Temperatura = 120 °C

Modo	V_{DD} (V)	Temperatura (°C)	Processo	OCP_{1dB} (dBm)	S_{21} (dB)	P_{SAT} (dBm)	PAE_{MAX} (%)	I_{DC} (mA)
6	1,8	120	Nominal	15,14	32,47	16,43	33,18	120,6
			FF	15,49	34,32	16,34	33,93	119,1
			FS	15,45	34,01	16,34	33,79	118,5
			SF	14,63	30,74	16,4	32,16	120,6
			SS	14,67	30,63	16,39	32,15	120
1	1,8	120	Nominal	15,04	23,18	16,6	33,73	95,56
			FF	15,53	25	16,62	35,61	93,14
			FS	15,49	24,7	16,6	35,34	92,9
			SF	14,21	21,48	16,28	30,55	96,43
			SS	14,19	21,34	16,25	30,41	95,91

Após a realização das simulações de *corners pós-layout*, observa-se que o circuito se mostra bastante robusto às diversas variações para os processos testados. Entretanto, dentre os parâmetros simulados, OCP_{1dB} e P_{SAT} mostram-se mais sensíveis às variações dos processos, ficando até mesmo um pouco abaixo da especificação. Outro parâmetro sensível às variações do processo é o ganho de potência (S_{21}), no entanto, este parâmetro ficou dentro do especificado para todos os testes. Conforme os resultados apresentados nas tabelas das simulações de *corners*, observa-se que os processos SF e SS são os mais afetados pelo aumento da temperatura e pela queda da tensão de alimentação do circuito.

4.2.3 Simulação de *Monte Carlo*

Nesta simulação, dados estatísticos referentes às variações do processo de fabricação do *chip* são verificados para avaliar a robustez no *design* do circuito projetado. A simulação de *Monte Carlo* considera variações randômicas estatisticamente, sendo *Process* e *Mismatch*. A primeira é analisada para verificar uma variação que pode ocorrer de um *chip* para outro ou de um lote (*wafer* de silício) para outro. Enquanto que a segunda é analisada para verificar possíveis variações nas características físicas e elétricas dos elementos (componentes) dentro de um mesmo *chip*.

Devido ao tempo de processamento para efetuar a simulação e por esta considerar os elementos parasitas *pós-layout*, a simulação de *Monte Carlo* foi realizada considerando 100 pontos para análise. A Tabela 4.5 mostra os resultados da simulação de *Monte Carlo* para o modo 6 (alto-ganho) e modo 1 (baixo-ganho) considerando uma temperatura de 70 °C (processo típico).

Analisando os resultados apresentados na Tabela 4.5, também observa-se que na simulação de *Monte Carlo*, o parâmetro OCP_{1dB} mostra-se mais sensível. No entanto, apenas para o modo 1 (baixo-ganho), OCP_{1dB} ficou abaixo da especificação em relação ao valor mínimo, como mostra a Tabela 4.5. Com relação aos demais parâmetros, observa-se que mesmo para os valores mínimos da simulação, os resultados se mantêm dentro das especificações.

Tabela 4.5 - Resultados da simulação de *Monte Carlo* em 2,4 GHz para os modos de operação 6 e 1

Modo	Parâmetro	Mínimo	Médio	Máximo	Desvio padrão
6	OCP_{1dB} (dBm)	15,07	15,72	16,2	238m
	S₂₁ (dB)	32,3	34,49	37,07	848,2m
	S₁₁ (dB)	-30,01	-21,63	-16,92	2,71
	S₂₂ (dB)	-10,66	-9,03	-7,09	729,8m
	P_{SAT} (dBm)	16,61	17,09	17,47	172,4m
	Fator μ mínimo	1,2	1,46	1,59	59,87m
	PAE_{MAX} (%)	33,2	35,2	37,54	839,3m
1	OCP_{1dB} (dBm)	14,81	15,68	16,4	291,4m
	S₂₁ (dB)	22,76	25,09	28,03	875,2m
	S₁₁ (dB)	-31,75	-22,84	-15,83	3,63
	S₂₂ (dB)	-8,94	-7,33	-5,15	751,4m
	P_{SAT} (dBm)	16,45	17,1	17,62	236,3m
	Fator μ mínimo	1,28	1,49	1,62	54,15m
	PAE_{MAX} (%)	33,06	36,73	39,76	1,18

4.3 Resultados de medidas do *chip*

A Figura 4.12 apresenta uma micrografia do *chip* fabricado em tecnologia CMOS 0,13 μm . Após a fabricação do *chip*, foram realizadas medidas de pequenos e grandes sinais em dois *chips*.

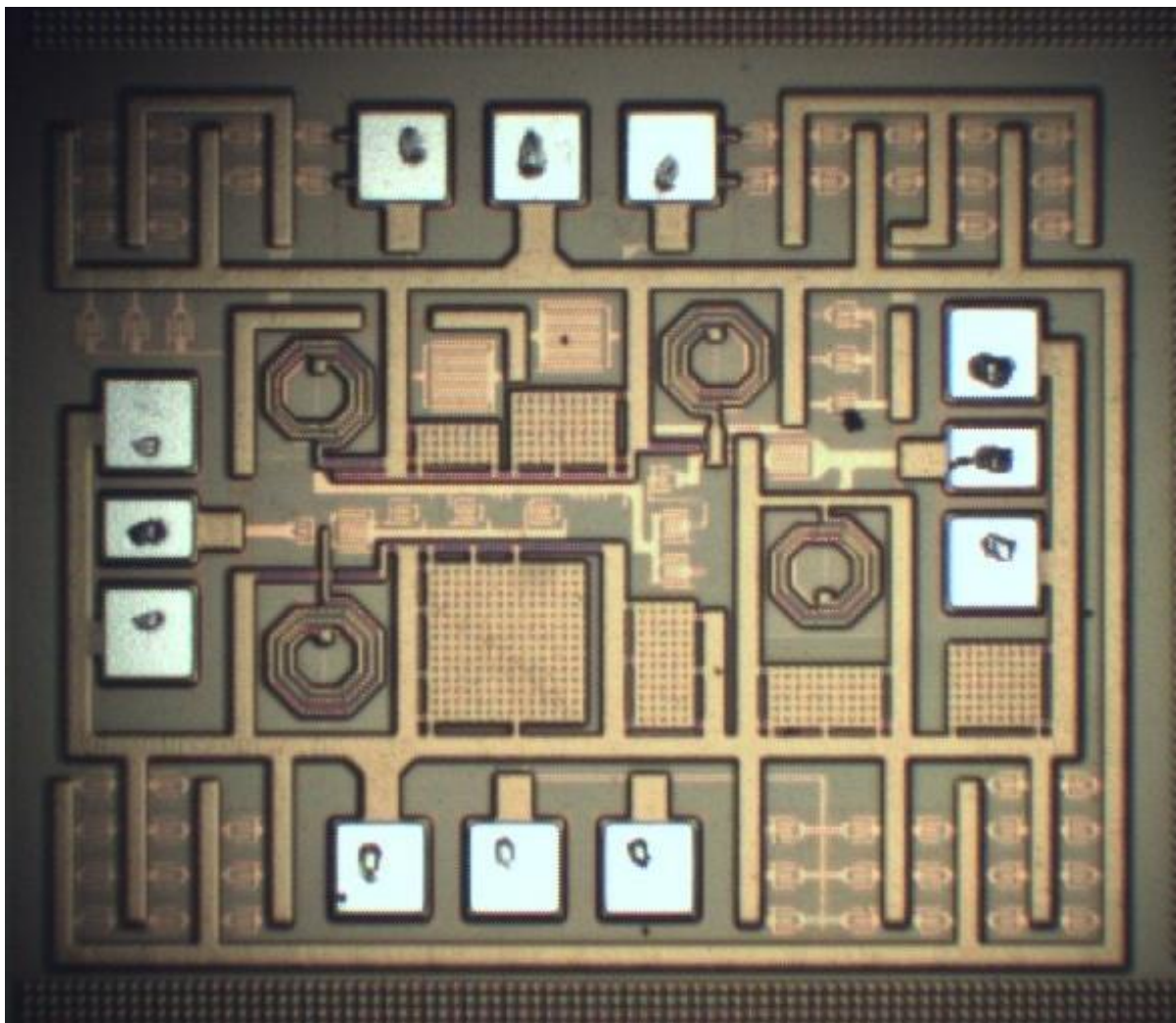


Figura 4.12 - Micrografia do *chip* amplificador de potência

A Figura 4.13 apresenta as medidas de pequenos sinais do ganho (S_{21}) para todos os modos de operação do PA. Na frequência de operação 2,4 GHz, o ganho varia de 22,4 dB a 31 dB em seis modos. Quando comparado com os resultados da simulação de *corners*, observa-se que os resultados de medida se aproximam do processo SS. Dentre os *corners* SS, observa-se uma aproximação dos resultados para uma tensão de alimentação $V_{DD} = 1,7$ V e Temperatura = 95 °C, sendo 31,2 dB no modo 6 (alto-ganho) e 21,9 dB no modo 1 (baixo-ganho).

A Figura 4.14 mostra a comparação do ganho de potência entre os valores da simulação *pós-layout* e os valores medidos para os modos de operação 6 (alto-ganho) e 1 (baixo-ganho). Em comparação com os resultados de simulação *pós-layout*, observa-se que, nas medidas houve uma queda no ganho de 3,4 dB para o modo 6 e 2,6 dB para o modo 1.

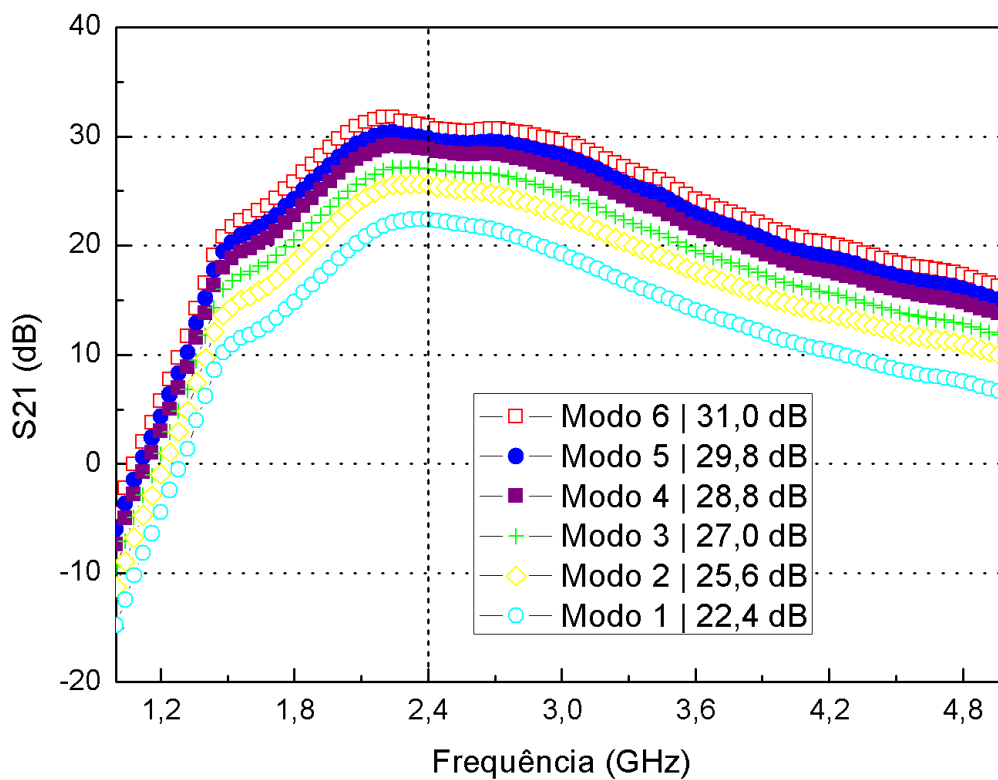


Figura 4.13 – Medidas da variação do ganho S21 em todos os modos de operação

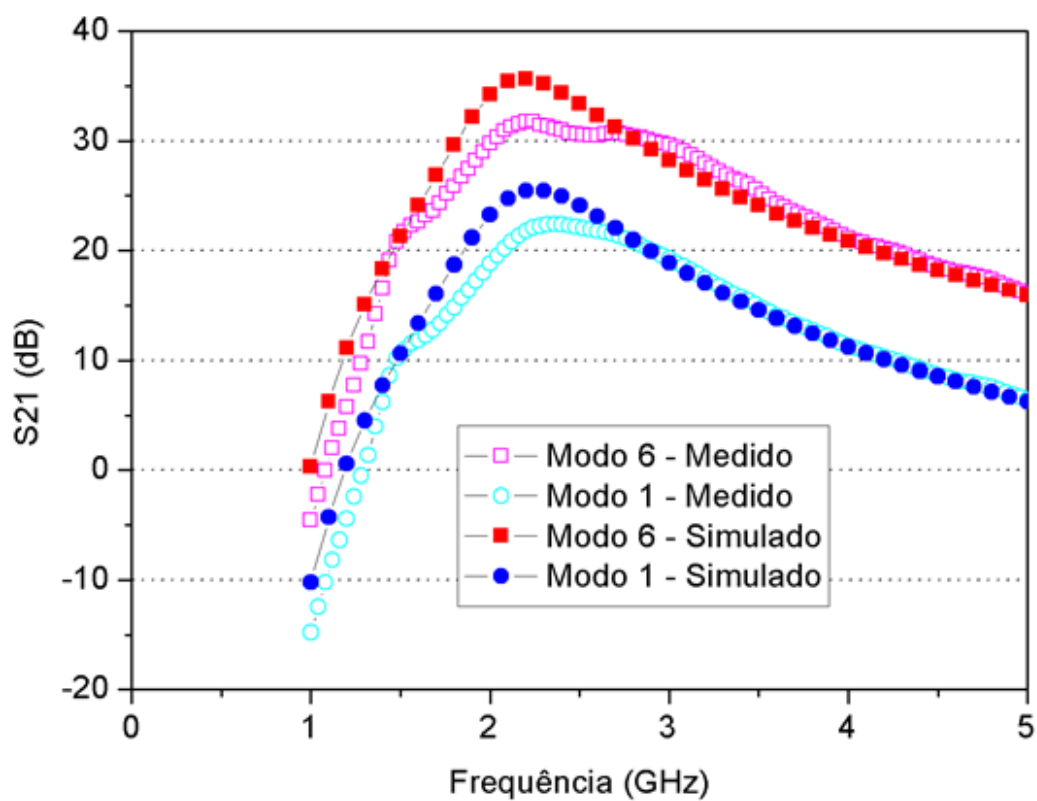


Figura 4.14 - Comparação do ganho de potência entre os valores da simulação *pós-layout* e os valores das medidas para os modos de operação 6 e 1

A Figura 4.15 apresenta as medidas de pequenos sinais do casamento de impedância na entrada (S_{11}) para o modo 1 (baixo-ganho) e modo 6 (alto-ganho). Em comparação com os resultados de simulação *pós-layout*, observa-se que os resultados das medidas se mantiveram aproximados, com um bom casamento de impedância na entrada do PA, sendo -14,6 dB para o modo 6 e -22,5 dB para o modo 1 em 2,4 GHz.

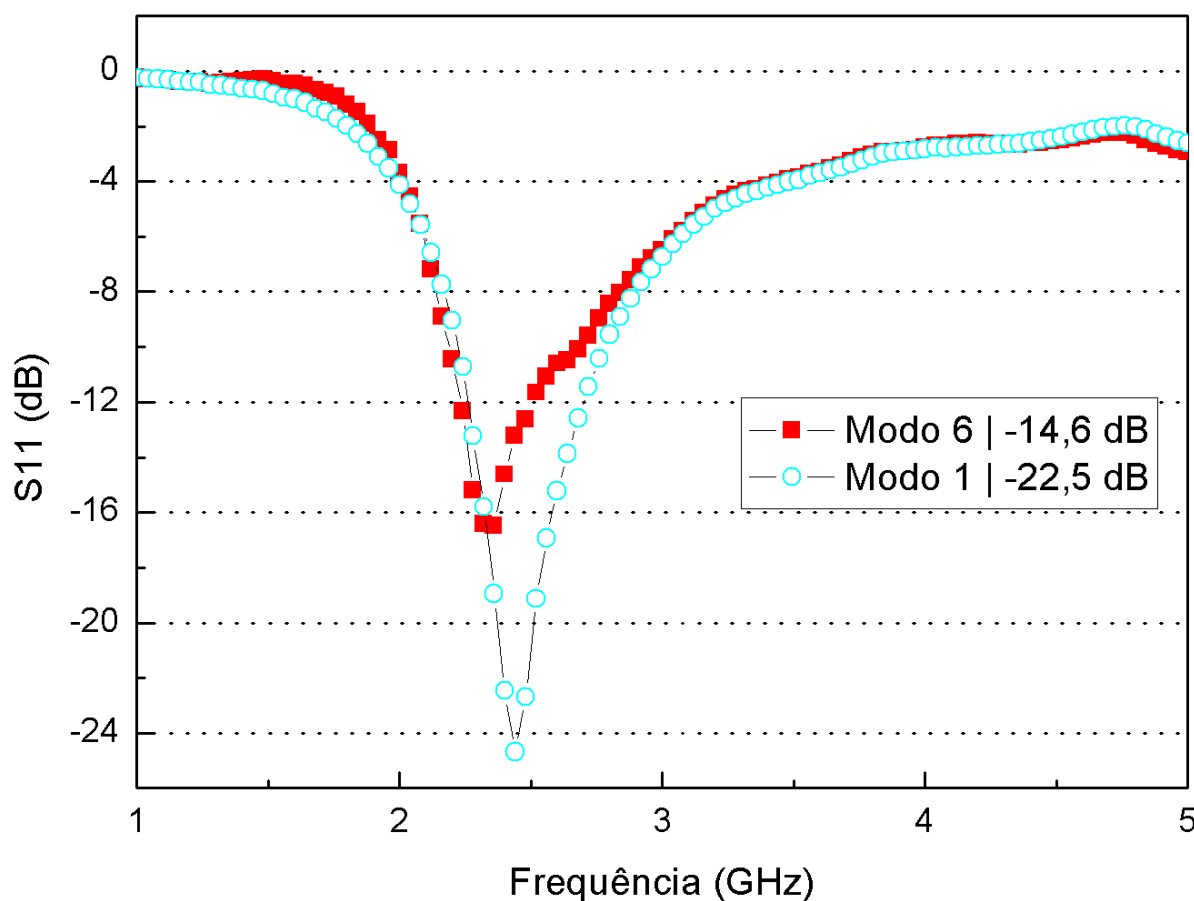


Figura 4.15 - Medidas do casamento de impedância na entrada do PA para os modos de operação 6 e 1

A Figura 4.16 apresenta as medidas de pequenos sinais do ganho reverso (S_{12}) para o modo 1 (baixo-ganho) e modo 6 (alto-ganho), onde observa-se uma isolação melhor que -51 dB para ambos os modos de operação na frequência de interesse 2,4 GHz. Quando comparado S_{12} das medidas com as simulações *pós-layout* observa-se que os resultados tiveram uma queda de -17 dB, no entanto, o valor apresentado na medida ainda é considerado um bom resultado.

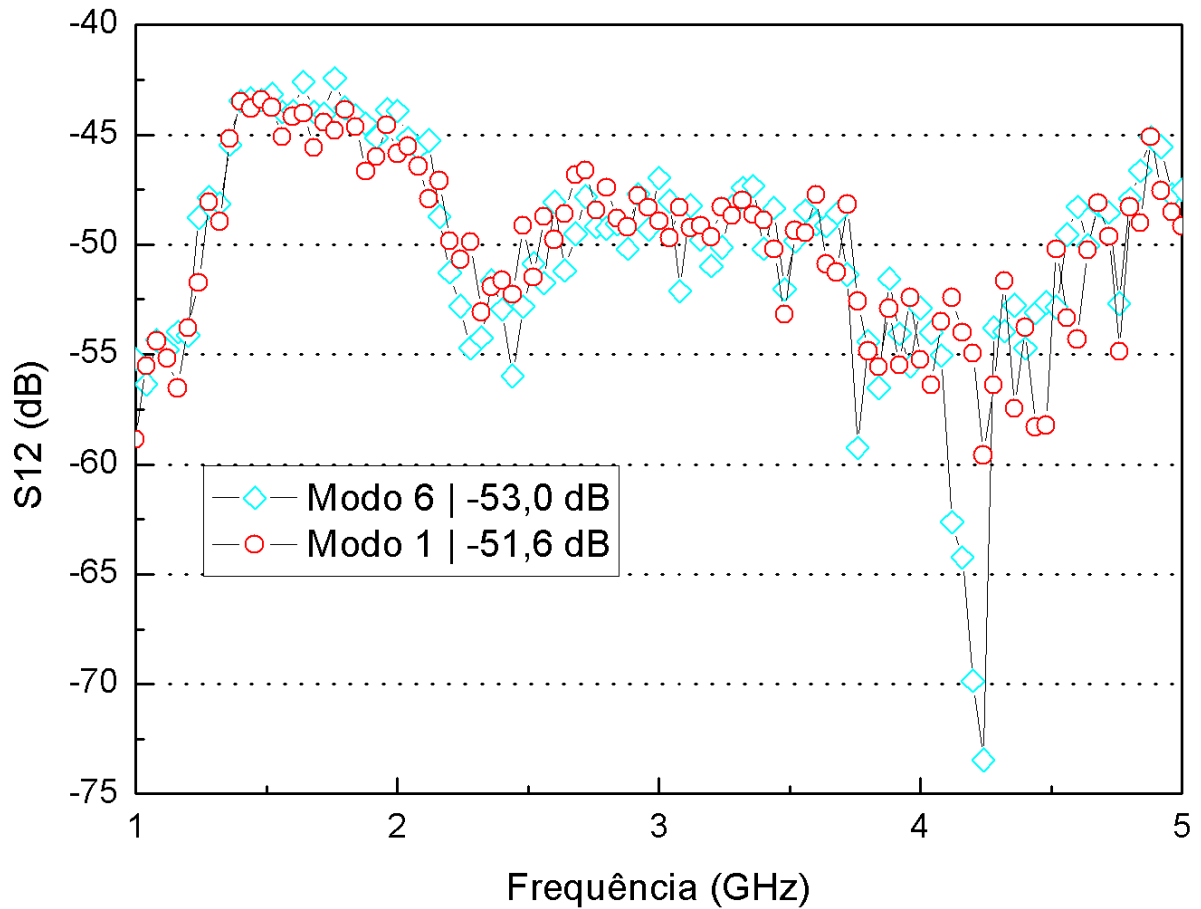


Figura 4.16 - Medidas do ganho reverso para os modos de operação 6 e 1

A Figura 4.17 apresenta as medidas de pequenos sinais do casamento de impedância na saída (S_{22}) para o modo 1 (baixo-ganho) e modo 6 (alto-ganho). O casamento de impedância na saída do PA ficou acima de -9 dB para ambos os modos de operação.

Na Figura 4.18, é apresentado o resultado de medida do fator de estabilidade μ . Nota-se que o PA é estável para as impedâncias projetadas. Entretanto, se o PA for colocado num circuito com impedâncias que podem gerar a instabilidade, então circuitos de estabilidade deveriam ser adicionados. Nota-se ainda que o PA é incondicionalmente estável apenas para o modo 1, com μ inferior a “1” entre 1,4 GHz e 2,1 GHz para os demais modos de operação.

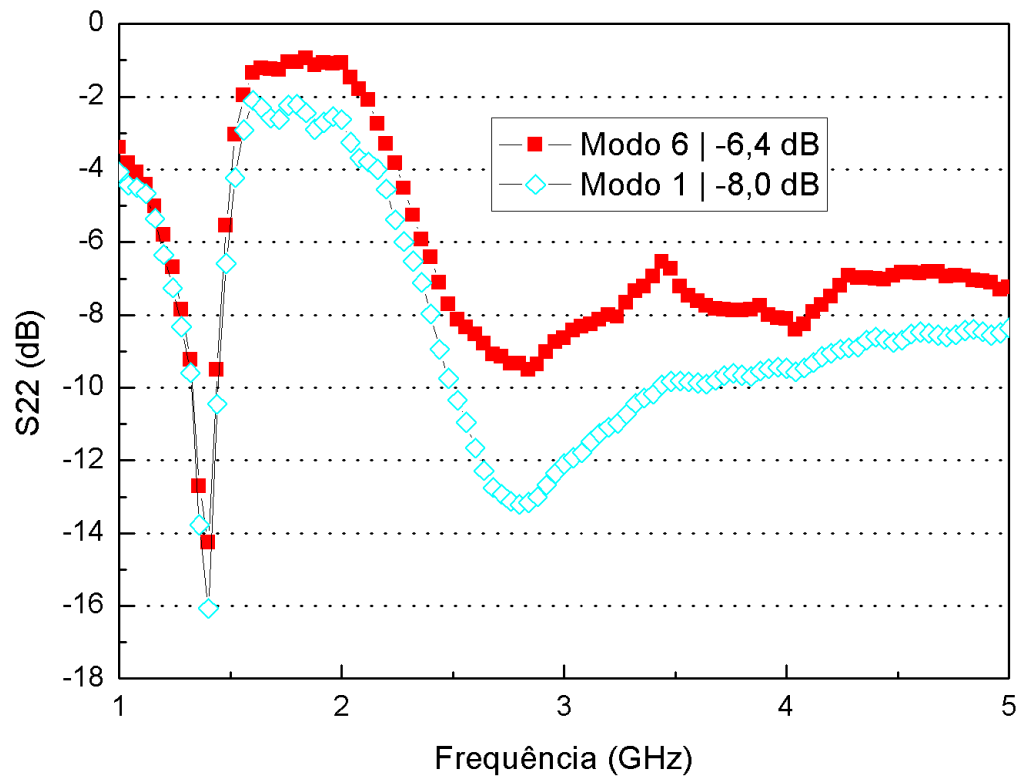


Figura 4.17 - Medidas do casamento de impedância na saída do PA para os modos de operação 6 e 1

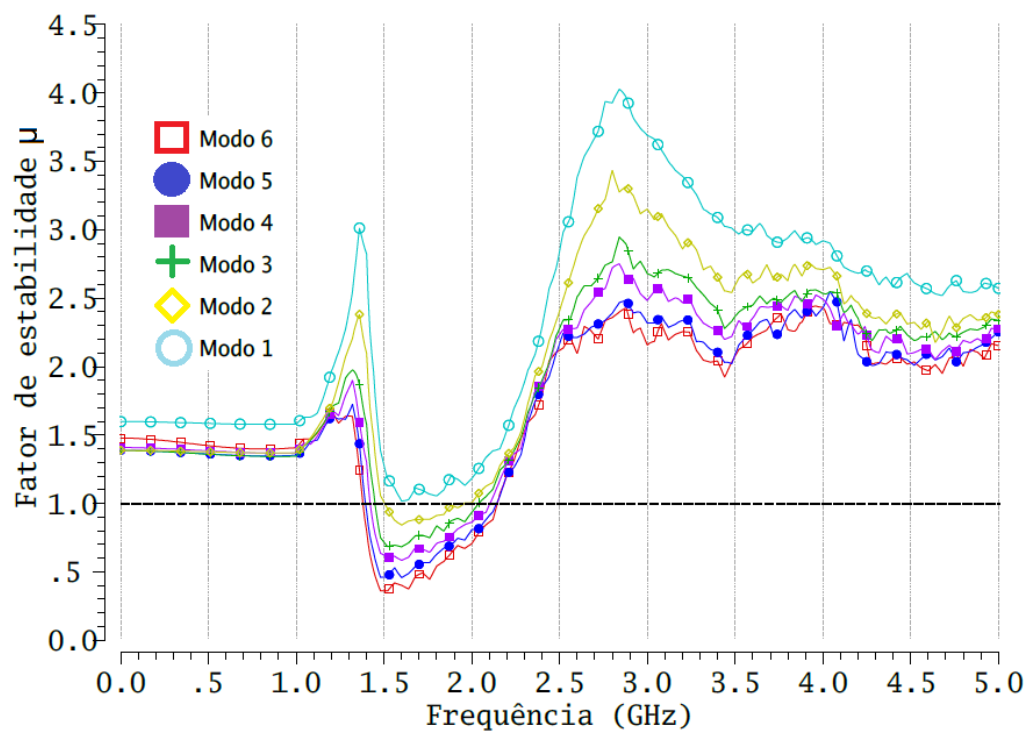


Figura 4.18 - Fator de estabilidade μ

Os resultados das medidas da potência de saída para grandes sinais são apresentados na Figura 4.19. Observa-se o ponto de compressão de 1-dB ($OC_{P_{1dB}}$) e a potência de saída saturada (P_{SAT}) para todos os modos de operação. Em comparação com os resultados de simulação *pós-layout*, observa-se que $OC_{P_{1dB}}$ na média entre os modos de operação ficou 2,2 dB abaixo dos valores de simulação e que P_{SAT} ficou em aproximadamente 1,5 dB abaixo dos valores de simulação. Em comparação com os resultados da simulação de *corners*, observa-se que $OC_{P_{1dB}}$ e P_{SAT} se aproximam dos resultados para o processo SS. Dentre as simulações de *corners*, para uma tensão de alimentação $V_{DD} = 1,7$ V e Temperatura = 95 °C, tem-se $OC_{P_{1dB}} = 14,6$ dBm e $P_{SAT} = 16$ dBm para o modo 6 (alto-ganho) e $OC_{P_{1dB}} = 13,9$ dBm e $P_{SAT} = 15,9$ dBm para o modo 1 (baixo-ganho). Nas medições, verifica-se que o PA entrega uma potência de saída acima de 15 dBm.

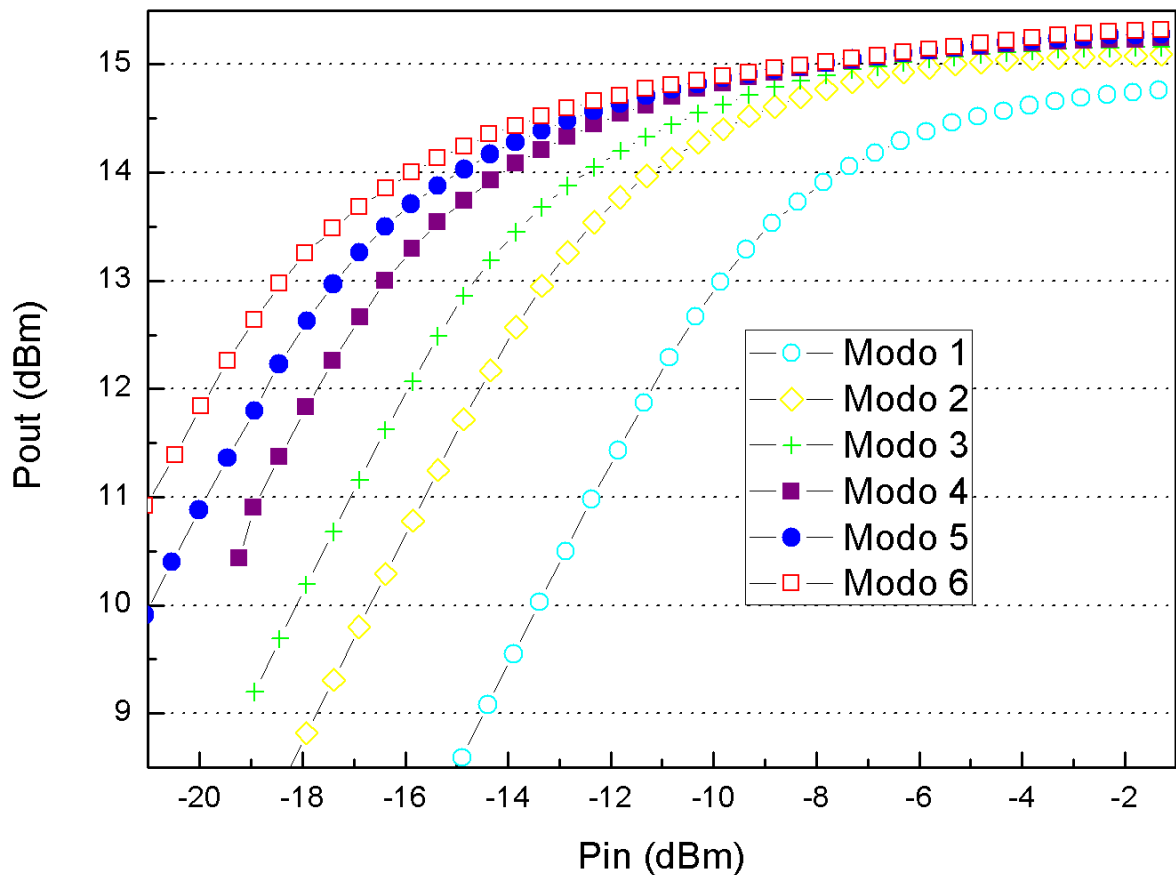


Figura 4.19 - Medidas de grandes sinais da potência de saída pela potência de entrada

A Figura 4.20 mostra que o consumo de potência é reduzido com a seleção de um modo de menor ganho. Quando o PA funciona em modo de baixo ganho, observa-se uma melhora de 13 % de P_{DC} em relação ao modo de alto ganho. As Figuras 4.21 e 4.22 apresentam a potência consumida pelo PA. Observa-se que através da reconfigurabilidade dos modos de operação o consumo de corrente contínua varia, sendo possível obter uma melhora expressiva no consumo de potência quando o modo de alto ganho de potência não é necessário na transmissão.

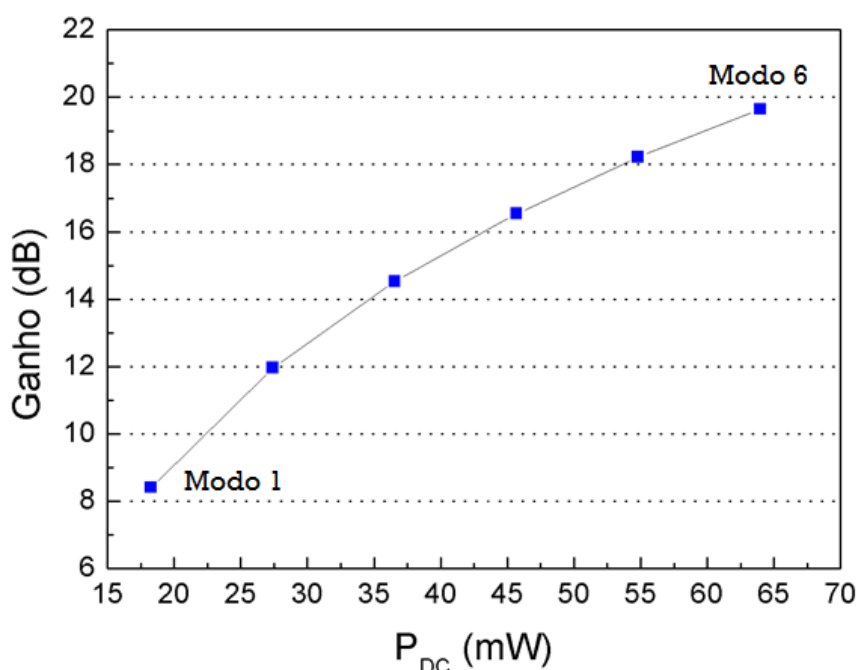


Figura 4.20 - Redução da potência consumida de acordo com a seleção do modo de operação

As Figuras 4.23 e 4.24 apresentam as medidas da eficiência (PAE) do PA. Na Figura 4.23, observa-se que para todos os modos de operação, o pico de eficiência (PAE_{MAX}) é superior a 17 %. Em comparação com os resultados de simulação, observa-se que a máxima eficiência caiu aproximadamente pela metade. No entanto, essa queda é justificada através das medidas do ganho (S_{21}), pois como o ganho teve uma queda de cerca de 3 dB, isso significa uma perda de aproximadamente metade da eficiência. Também nota-se que a eficiência no modo de baixo ganho é inferior quando comparado com os outros modos de operação, isto acontece, pois a potência de saída medida no modo 1 (baixo-ganho) é menor também.

A Figura 4.24 apresenta a eficiência do PA em relação à potência de saída. Observa-se que a eficiência é melhorada quando um modo de operação com menor ganho é selecionado, pois o consumo de energia do PA é menor. Por exemplo, para uma potência de

saída em 14 dBm, a eficiência é melhorada de 12,8 % no modo 6 (alto-ganho) para 14,7 % no modo 1 (baixo-ganho).

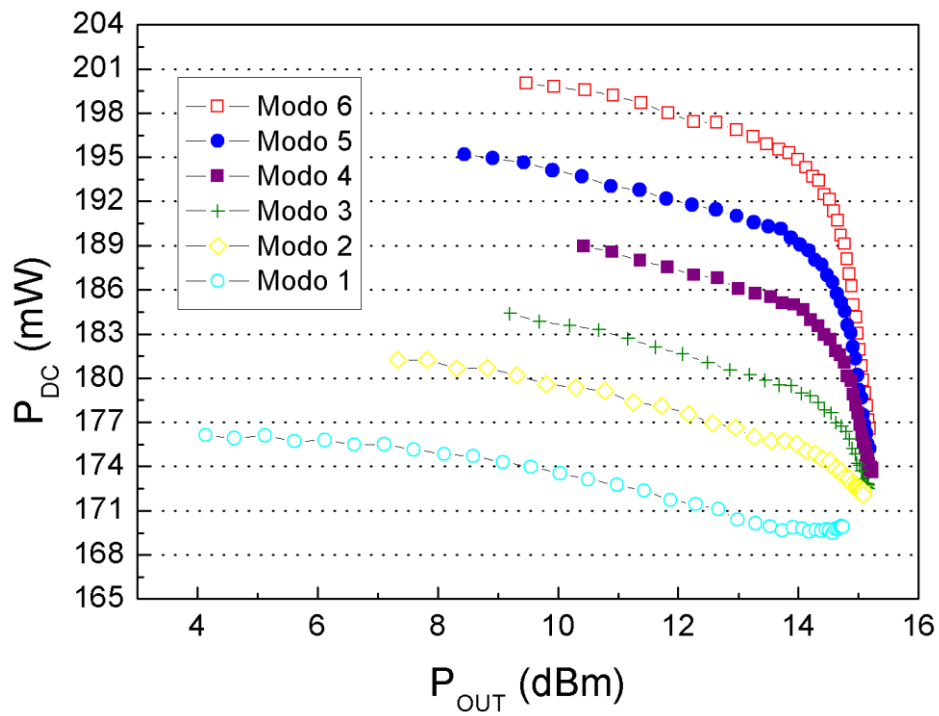


Figura 4.21 - Medição do consumo de potência em função da potência de saída de acordo com o modo de operação

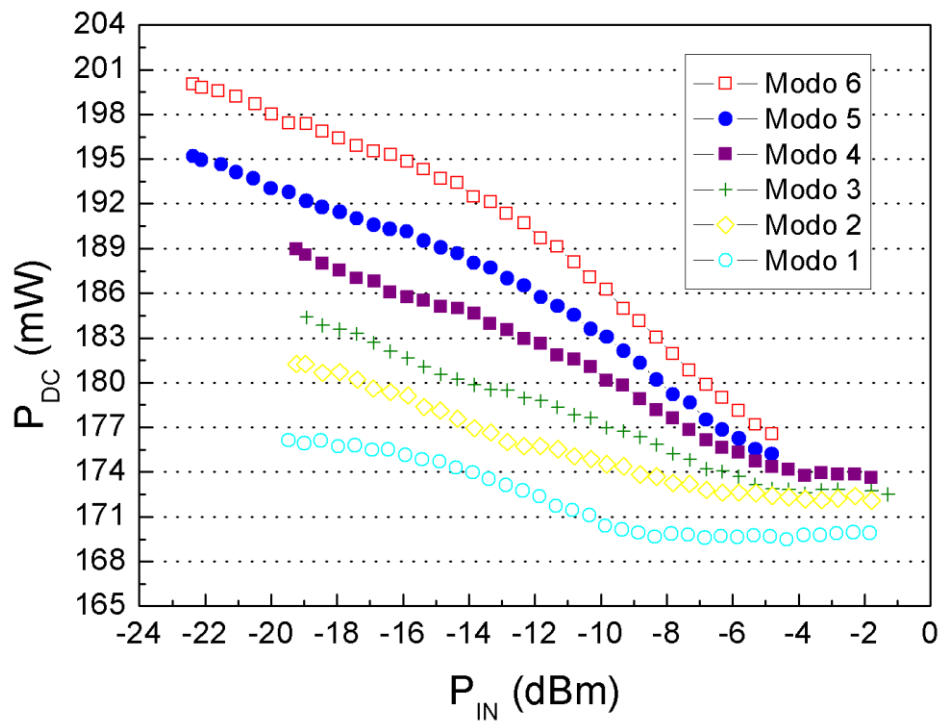


Figura 4.22 - Medição do consumo de potência em função da potência de entrada de acordo com o modo de operação

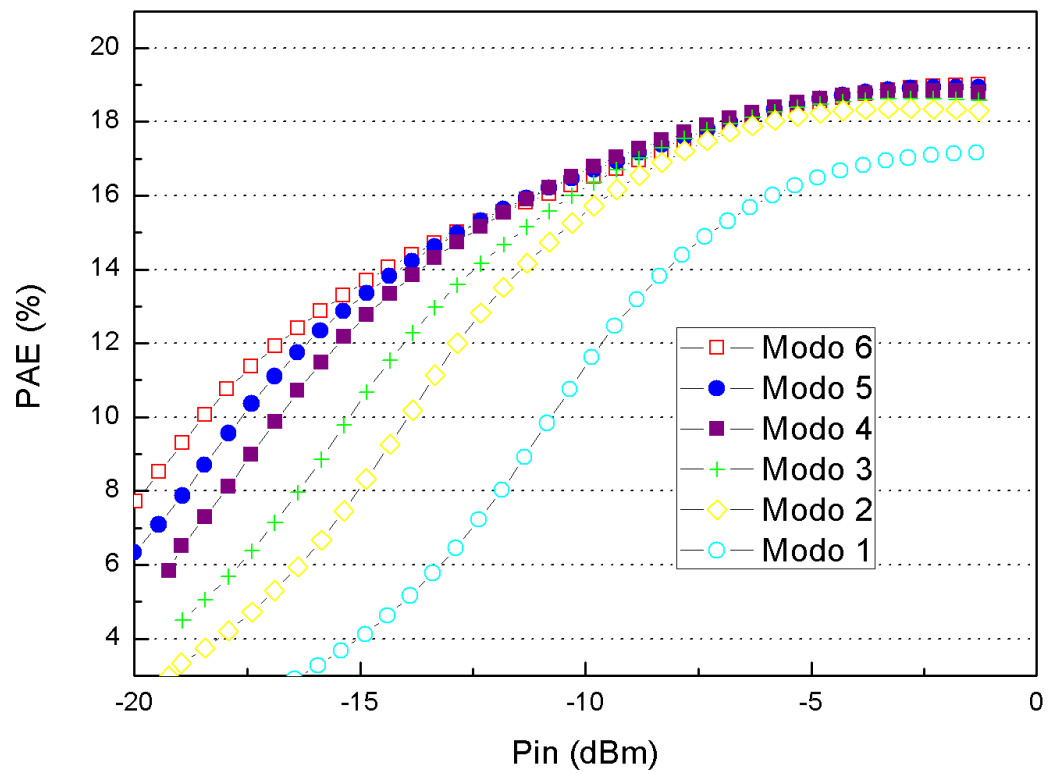


Figura 4.23 - Medidas da PAE x potência de entrada

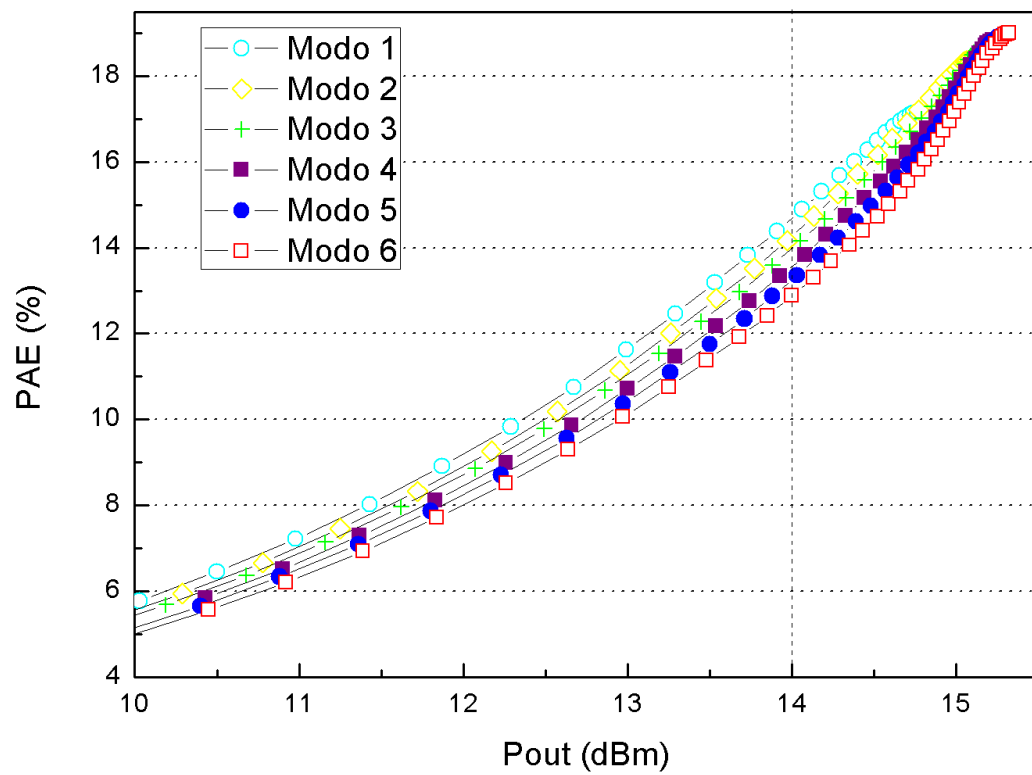


Figura 4.24 - Medidas da PAE x potência de saída

O desempenho de medidas do PA proposto é resumido na Tabela 4.6. Observa-se que através da reconfiguração dos modos de operação, o consumo global do PA varia de 171 mW para o modo 1 (baixo-ganho) a 196,2 mW para o modo 6 (alto-ganho). Os valores CC apresentados na Tabela 4.6 foram obtidos a partir do ponto de compressão de 1-dB.

Tabela 4.6 - Resumo de desempenho do PA multimodo

Modo	I_{DC} (mA)	P_{DC} (mW)	OCP_{1dB} (dBm)	P_{SAT} (dBm)	Ganho (dB)	$PAE@OCP_{1dB}$ (%)	PAE_{MAX} (%)
6	109	196,2	13,7	15,3	31	11,1	19
5	106	190,8	13,7	15,3	29,8	11,1	19
4	104	187,2	13,7	15,3	28,8	12,2	18,9
3	100	180	13,5	15,2	27	12,2	18,6
2	98	176,4	13,8	15,1	25,6	14	18,4
1	95	171	13,3	15	22,4	12,6	17,9

4.4 Resultados finais

Baseado nos resultados apresentados anteriormente, os resultados finais do PA após a fabricação do *chip* em comparação com os resultados simulados e as especificações do projeto são mostrados na Tabela 4.7 e discutidos em seguida.

Tabela 4.7 - Resultados especificados e resultados alcançados

Parâmetros	Unidades	Especificado	Simulado	Medido
Frequência de operação	GHz	2,4	2,4	2,4
Tecnologia CMOS	μm	0,13	0,13	0,13
Tensão de alimentação	V	1,8	1,8	1,8
Consumo de corrente (I_{DC}) Modo alto-ganho	mA	< 130	125	109
Consumo de potência (P_{DC}) Modo alto-ganho	mW	< 234	225	196,2
Potência de saída (OCP_{1dB}) Modo baixo-ganho	dBm	> 15	16,3	13,3
Potência de saída (OCP_{1dB}) Modo alto-ganho	dBm	> 15	16,3	13,7
Potência de saída saturada (P_{SAT}) Modo baixo-ganho	dBm	> 16	17,3	15
Potência de saída saturada (P_{SAT}) Modo alto-ganho	dBm	> 16	17,3	15,3
Mínimo ganho de potência	dB	> 20	26,6	22,4
Máximo ganho de potência	dB	> 30	35,9	31
Impedância de entrada	Ω	50	50	50
Modos de operação		6	6	6
Estabilidade		Incondicional	Incondicional	Condicional

Comparando os resultados medidos em relação às simulações *pós-layout* de *corners*, observa-se em geral que existe uma aproximação dos resultados para o processo SS e também para uma tensão de alimentação $V_{DD} = 1,7 \text{ V}$ e temperatura $= 95 \text{ }^\circ\text{C}$.

Como pode ser observado, as especificações relativas à potência de saída não foram alcançadas nas medidas do *chip*. Entretanto, a proposta inicial do projeto, que era obter uma variação do ganho de potência através da combinação das chaves de controle no estágio de reconfigurabilidade com redução da potência consumida foi alcançada e os valores das medidas do ganho mantidos dentro das especificações.

Com relação aos parâmetros que não foram alcançados nas medidas, observa-se que o ponto de compressão de 1-dB e a potência de saída são os parâmetros que ficaram com maior diferença das especificações. Dentre os fatores que podem ter influenciado, primeiramente é importante ressaltar o processo de fabricação do *chip*, pois o mesmo está sujeito às variações de processo. Entretanto, devido à disponibilidade de acesso ao banco de medidas, foram realizadas medições em apenas dois *chips* dos quarenta que foram fabricados. No entanto, comparando os valores medidos de OCP_{1dB} com os valores da simulação de *Monte Carlo*, observa-se que há uma aproximação para os valores mínimos encontrados na simulação.

Outra fonte de incertezas é a resistência equivalente da fonte de alimentação até os nós de V_{DD} e terra no silício. A Figura 4.25 apresenta uma simulação do ponto de compressão de 1-dB (OCP_{1dB}) com diferentes valores de resistências inseridas na alimentação do circuito. Observou-se que, para simulações de grandes sinais, essas resistências impactam significativamente nos resultados. Por exemplo, para $1 \text{ } \Omega$ de resistência adicionada, a queda de 0,6 dB é notável na medida de OCP_{1dB} .

A temperatura também influencia de maneira significativa no funcionamento e nos resultados do PA. Nas simulações de *corners* verificou-se que todas as especificações mudam com o aumento da temperatura, e embora o projeto se mostre robusto a pequenas variações de temperatura, observa-se através das Figuras 4.26, 4.27 e 4.28 como os parâmetros de OCP_{1dB} , P_{SAT} e S_{21} são degradados com o aumento da temperatura. Entretanto, não foi possível dizer com exatidão em qual temperatura o *chip* está funcionando, nem mesmo se existe algum ponto em específico que esteja funcionando com uma temperatura muito maior que em outros pontos. É importante ressaltar que a temperatura e a queda de tensão também mudam o ponto

de polarização do circuito, ou seja, quando a temperatura aumenta e/ou a tensão de alimentação dos circuitos de polarização diminuem, os resultados são impactados negativamente.

Por fim, é importante notar que todos esses fatores atuam conjuntamente fazendo com que os resultados de medidas, que também apresentam seu grau de incerteza, divirjam das simulações realizadas.

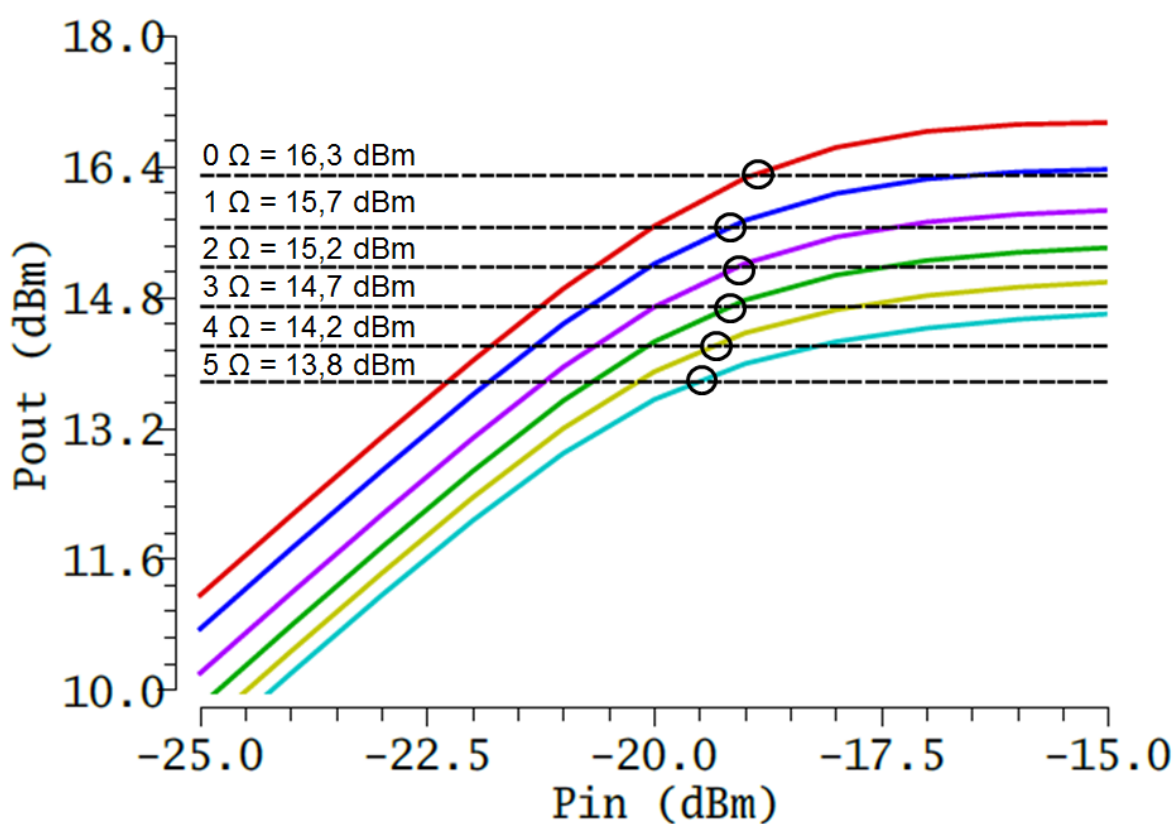


Figura 4.25 - Impacto da resistividade entre os terminais de alimentação no ponto de compressão de 1-dB

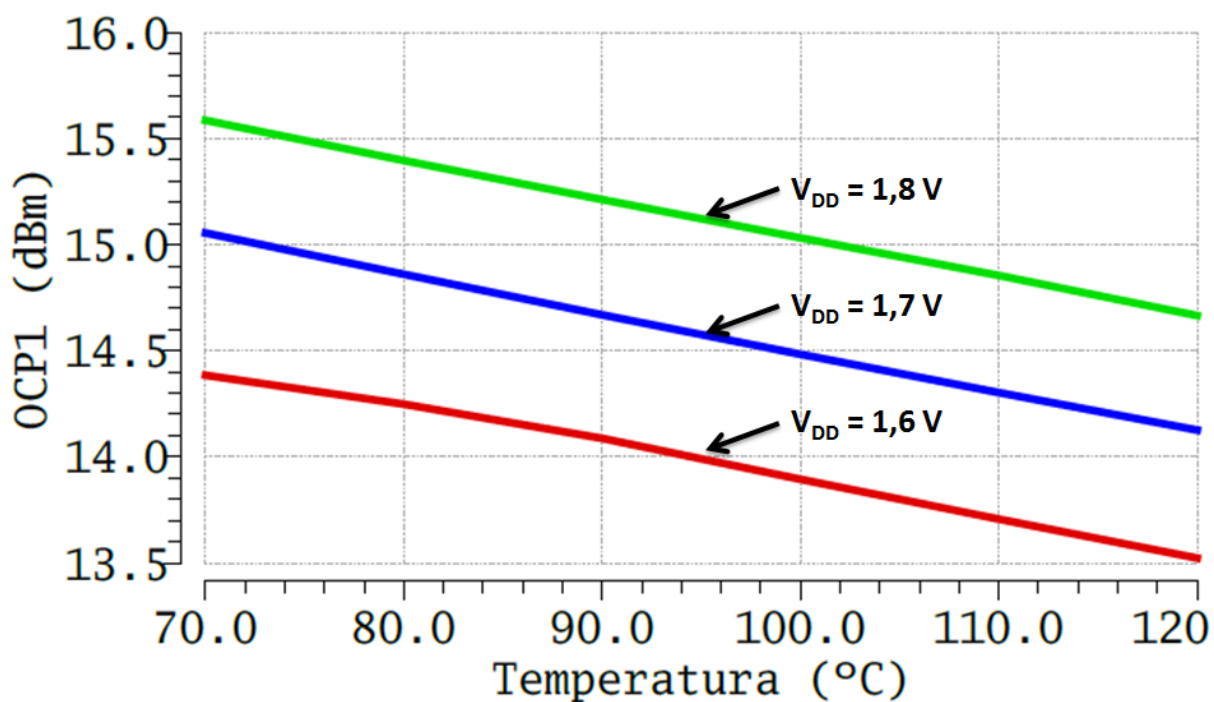


Figura 4.26 - OCP_{1dB} em função da temperatura para as tensões de alimentação 1,6 V / 1,7 V / 1,8 V. Simulação de *corners* para o processo SS

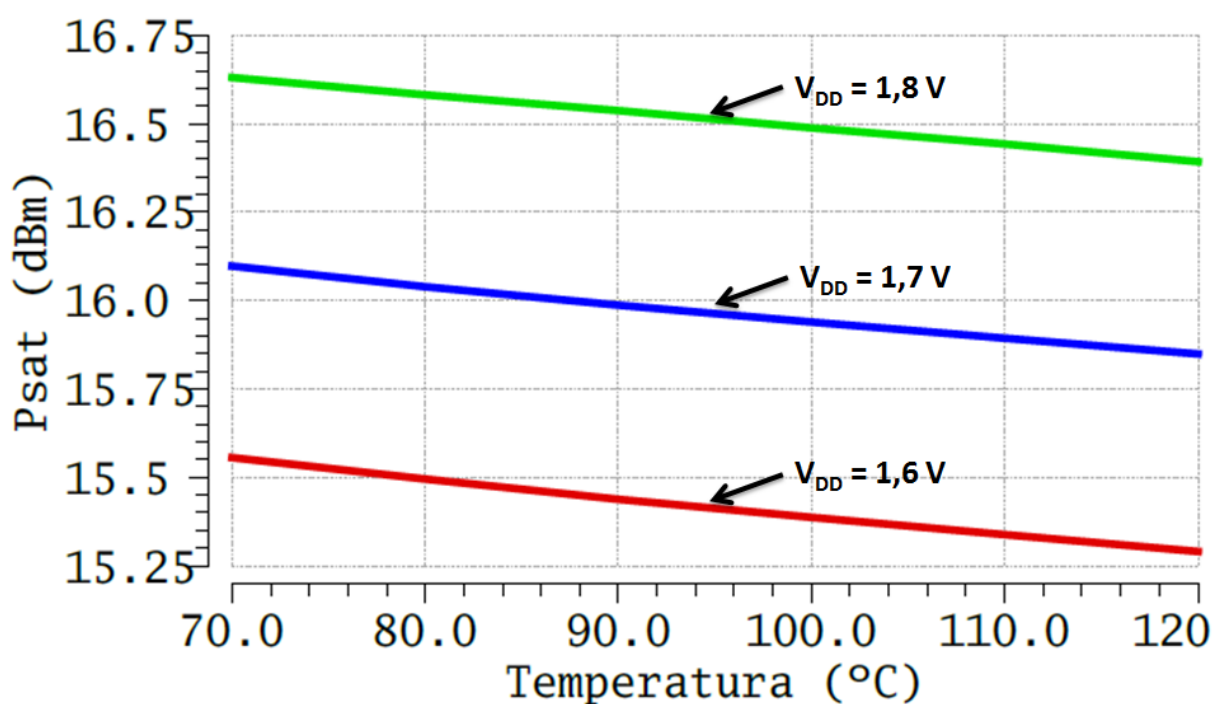


Figura 4.27 - P_{SAT} em função da temperatura para as tensões de alimentação 1,6 V / 1,7 V / 1,8 V. Simulação de *corners* para o processo SS

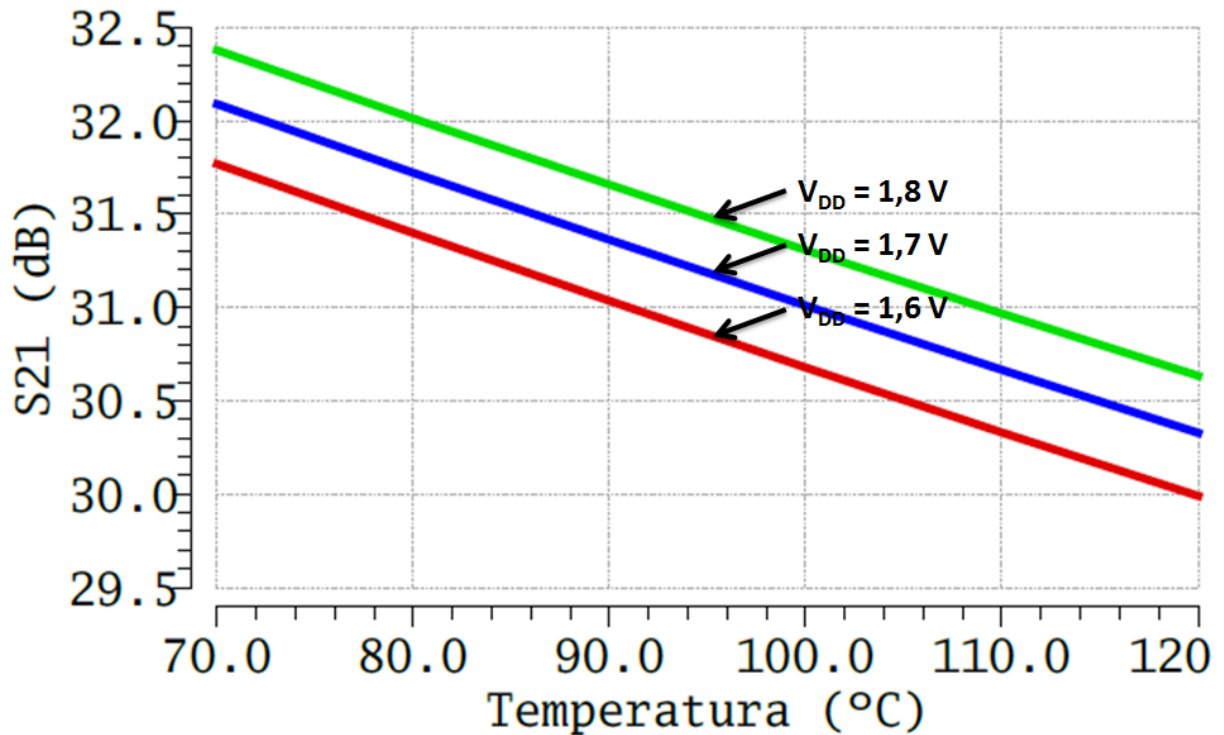


Figura 4.28 - Ganho em função da temperatura para as tensões de alimentação 1,6 V / 1,7 V / 1,8 V. Simulação de *corners* para o processo SS

A fim de verificar a conexão de antena com o PA, foi introduzido no circuito o indutor L_{wb} de 1 nH (Wire & Variation, 2004)(Madureira et al., 2003)(Yavari & Naseh, 2011) simulando o fio de conexão (*wire-bonding*) entre a saída do sinal RF e o *pad* de antena. A Figura 4.29 mostra a ligação do *wire-bonding* na saída do PA. Através da simulação de grandes sinais, verificou-se que impacto na potência de saída não foi significativa, tendo uma perda de aproximadamente 0,2 dB. Entretanto, para recuperar essa perda é necessário ajustar o casamento de impedância da saída do PA. Essa perda é recuperada diminuindo o valor do capacitor C_{OUT1} de 2,8 pF para 2,3 pF e aumentando o valor do indutor L_{OUT1} de 2,9 nH para 3,1 nH. A Figura 4.30 mostra o ponto de compressão de 1-dB na frequência de operação 2,4 GHz.

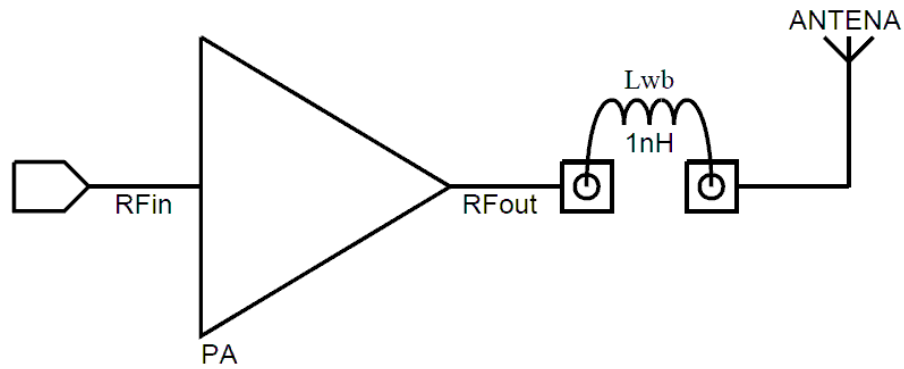


Figura 4.29 - Wire-bonding para conexão da antena

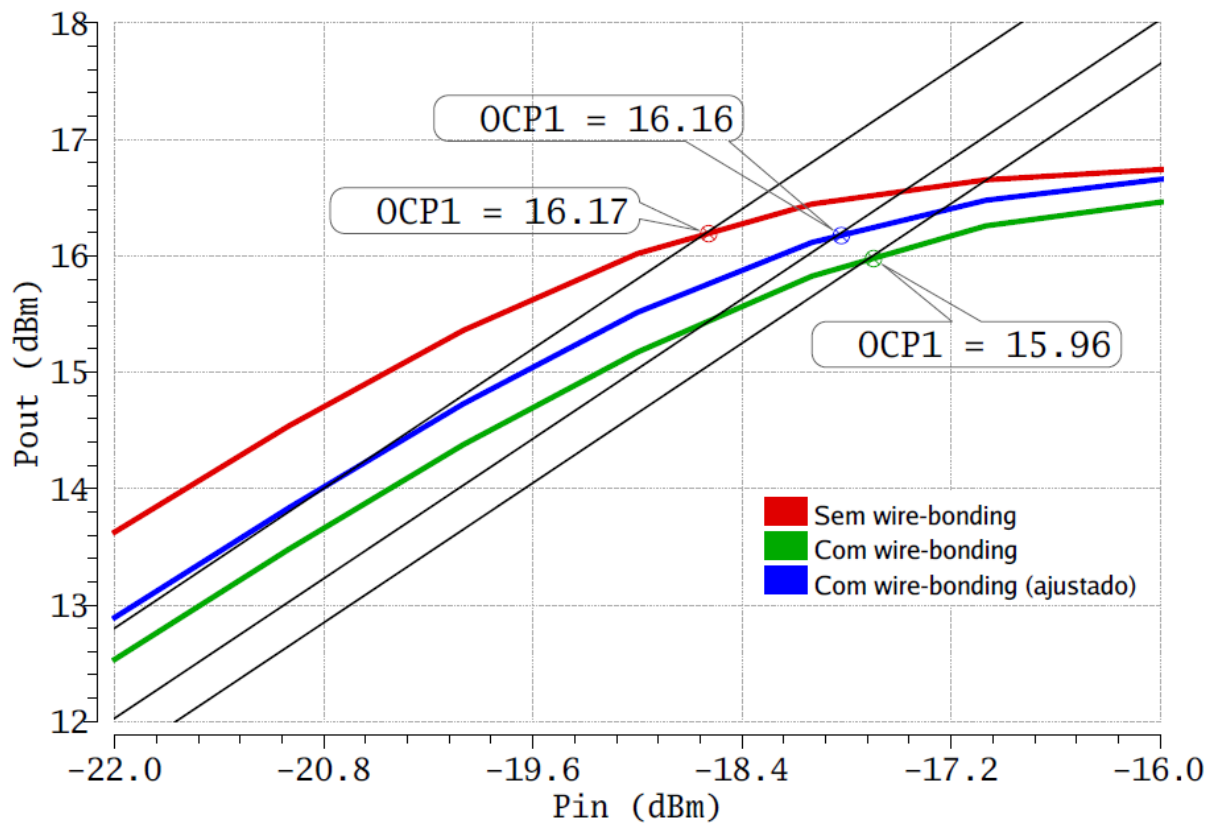


Figura 4.30 - Casamento de impedância na saída do PA considerando o efeito do *wire-bonding* na frequência de operação 2,4 GHz

A Tabela 4.8 mostra um comparativo entre os resultados de medidas com outros trabalhos realizados anteriormente, tendo em vista o controle do ganho de potência em 2,4 GHz e também em 915 MHz. Observa-se que os trabalhos apresentados por (Yoon et al., 2012) e (Wu et al., 2005) mostram uma boa excursão do ganho e um excelente resultado em termos de consumo de potência, entretanto, o valor absoluto do ganho é significativamente

baixo. Adicionalmente os PAs apresentados por (Wen & Sun, 2010) e (An et al., 2009) mostram bons resultados do ponto de compressão de 1-dB com uma boa variação do ganho, entretanto, suas eficiências são comprometidas quando se opera no modo de baixo ganho. O trabalho apresentado por (Chironi et al., 2013) apresenta uma boa eficiência, no entanto, o valor absoluto da potência de saída é baixo. Finalmente, os PAs apresentados por (Meshkin et al., 2010) e (Montes et al., 2014) alcançam os melhores resultados em termos de eficiência, pois operam na Classe E, entretanto, a linearidade é degradada com a escolha dessa topologia. Sendo assim, as medidas do PA proposto apresentam um compromisso entre os parâmetros, alcançando um ganho variável de 22,4 dB (modo de baixo-ganho) a 31 dB (modo de alto-ganho), com uma potência de consumo variando de 171 mW (modo de baixo-ganho) para 196,2 mW (modo de alto-ganho), enquanto mantêm uma potência de saída acima de 15 dBm.

Tabela 4.8 - Tabela comparativa de desempenho em trabalhos anteriores

Artigo	Resultados em	Frequência	Tecnologia CMOS	V _{DD} (V)	P _{DC} (mW)	OCP _{1dB} (dBm)	P _{SAT} (dBm)	Ganho (dB)	PAE _{MAX} (%)
(Yoon et al., 2012)	Medidas	2,4 GHz	180 nm	3,3	40 ~ 132	16 ~ 22,3	*	15 ~ 25	28 ~ 40,4
(Wen & Sun, 2010)	Medidas	915 MHz	350 nm	3,3	186 ~ 236	9,3 ~ 20,3	*	10,5 ~ 27	4,1 ~ 36,5
(Meshki et al., 2010)	Simulação	2,4 GHz	180 nm	1,8	*	*	17 ~ 21,1	*	33 ~ 57
(An et al., 2009)	Medidas	2,4 GHz	180 nm	3,3	429 ~ 2574	27	31	20 ~ 37,5	10 ~ 33
(Wu et al., 2005)	Medidas	2 GHz	120 nm	1,5 e 2,5	12,5 ~ 117,5	8	9	-40 ~ 8	*
(Montes et al., 2014)	Medidas	2,4 GHz	130 nm	3,3	168	*	5 ~ 20	*	42 ~ 59,2
(Chironi et al., 2013)	Medidas	2,4 GHz	90 nm	1,2	*	*	9	*	25 ~ 30
Este trabalho	Medidas	2,4 GHz	130 nm	1,8	171 ~ 196	13,3 ~ 13,7	15 ~ 15,3	22,4 ~ 31	17,9 ~ 19

* Informação não disponibilizada.

5 Conclusão

Este trabalho apresentou um amplificador de potência baseado em (Wen & Sun, 2010). O objetivo foi testar uma topologia conhecida na bibliografia que fosse capaz de controlar o ganho de potência entregue para a carga. O uso da topologia com modulação da largura efetiva do canal do transistor permitiu controlar o ganho de potência de forma significativa, em aproximadamente 10 dB entre o modo de baixo-ganho e alto-ganho.

Neste trabalho foi adotada uma topologia em pilha para o estágio de potência, que permitiu manter o nível de potência de saída saturada quase igual para todos os modos de operação do PA. O PA projetado segue arquitetura *single-ended* e é polarizado na classe AB, sendo capaz de fornecer uma potência de saída acima de 15 dBm. Através deste trabalho, observou-se que alcançar um nível elevado de potência de saída é difícil, devido à limitação da fonte de alimentação, do consumo de corrente contínua e das características físicas de alguns componentes.

Para o estágio de potência que é responsável por entregar um nível elevado de potência para a carga, a dificuldade encontrada em projetar esse estágio foi em obter um compromisso entre o nível de potência desejado pela especificação do projeto e a eficiência desse estágio. Pois quanto mais potência é liberada para a carga, maior é o consumo de corrente contínua. Para o estágio de reconfigurabilidade, a dificuldade encontrada foi em estabelecer o dimensionamento dos transistores das estruturas cascode, pois o dimensionamento tem que ser de tal forma a conseguir uma boa excursão do ganho de potência, mas ao mesmo tempo não pode interferir e atenuar o sinal do próximo estágio, fazendo com que o desempenho seja comprometido.

Pode-se concluir que projetos de amplificadores de potência envolvem uma série de compromissos entre as suas especificações. Além disso, por inúmeras vezes o redimensionamento dos valores dos componentes torna-se constante entre as fases de desenvolvimento do projeto, desde a fase do desenvolvimento do diagrama esquemático até a fase de simulações *pós-layout*. Nota-se que projetar e implementar um circuito totalmente robusto e imune a possíveis variações dos parâmetros não é algo tão simples. E, por mais que

se tente alcançar todas as especificações, devido a fatores como mencionado nos resultados finais, o *chip* pode não funcionar com a totalidade do que se esperaria.

Por último, neste trabalho, um amplificador de potência em tecnologia CMOS 0,13 μm para aplicações em 2,4 GHz foi apresentado. O controle do ganho de potência é realizado no primeiro estágio do PA, através da combinação binária de três chaves, fazendo que a largura do canal das estruturas cascode varie. O *layout* proposto para o circuito ocupa uma área de 1,2 mm^2 . Através das medidas, os resultados mostram que o ganho do PA pode ser variado em seis modos de operação, de 22,4 dB a 31 dB, permitindo que o consumo de potência seja reduzido quando o modo de alto ganho não é necessário. Usando o PA em modo de baixo ganho é obtida uma redução de 13 % de P_{DC} em comparação com o modo de alto ganho, permitindo um aumento da eficiência de consumo de energia. Os resultados obtidos indicam que o uso de um PA multimodo apresenta um considerável impacto em estender a vida útil da bateria de um dispositivo transmissor RF.

Com o desenvolvimento deste trabalho, foi possível gerar a publicação de um artigo, apresentado no congresso LASCAS2015 (Santos, Leite, & Mariano, 2015).

5.1 Trabalhos futuros

Como sugestões para trabalhos futuros de transmissores RF em tecnologia CMOS, as seguintes considerações podem ser tomadas:

- Realizar medidas de *load pull*;
- Aplicar técnicas de linearização;
- Avaliar novas arquiteturas para controlar o ganho de potência;
- Testar novas topologias para reduzir ainda mais o consumo de potência e melhorar a eficiência;
- Melhorar o layout para reduzir o impacto dos elementos parasitas.

6 Referências

- An, K. H., Member, S., Lee, D. H., Lee, O., Kim, H., Han, J., ... Abstract, A. (2009). A 2.4 GHz Fully Integrated Linear CMOS Power Amplifier With Discrete Power Control. *IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS*, 19(7), 479–481.
- Braga, J. A. (2010). *Autoteste e Correção de Não-linearidades de Circuitos RF*. FEUP.
- Chang, J., Kim, K., Lee, S., & Nam, S. (2011). 24 GHz Stacked Power Amplifier With Optimum Inter-stage Matching Using 0.13 μm CMOS Process, 885–887.
- Chironi, V., Debaillie, B., D'Amico, S., Baschiroto, A., Craninckx, J., & Ingels, M. (2013). A Digitally Modulated Class-E Polar Amplifier in 90 nm CMOS. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 60(4), 918–925.
doi:10.1109/TCSI.2012.2215398
- Cripps, S. C. (1999). *RF Power Amplifiers for Wireless Communications*. Artech House, Inc.
- Dellsperger, F., Tschirren, J., Wetzel, R., Aebersold, M., & Baud, M. (2004). Smith. Switzerland.
- Gilmore, R., & Besser, L. (2003). *Practical RF Circuit Design for Modern Wireless Systems*. Artech House, Inc.
- Gonzalez, G. (1996). *Microwave Transistor Amplifiers Analysis and Design* (Second Edi.). Prentice Hall, Inc.
- Hella, M. M., & Ismail, M. (2001). A digitally controlled CMOS RF power amplifier. *Proceedings of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems. MWSCAS 2001 (Cat. No.01CH37257)*, 2, 833–835. doi:10.1109/MWSCAS.2001.986316
- IBM. (2010). CMOS8RF (CMRF8SF) Design Manual. 30 de Novembro de 2010.

- Jeon, S. (2006). *DESIGN AND STABILITY ANALYSIS TECHNIQUES FOR SWITCHING-MODE NONLINEAR CIRCUITS : POWER AMPLIFIERS AND OSCILLATORS*. CALIFORNIA INSTITUTE OF TECHNOLOGY.
- Kluge, W., Poegel, F., Roller, H., Lange, M., Ferchland, T., & Dathe, L. (2006). A Fully Integrated 2.4-GHz IEEE 802.15.4-Compliant Transceiver for ZigBee™ Applications. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 41(12), 2767–2775.
- Knopik, V., Martineau, B., & Belot, D. (2005). 20dBm CMOS Class AB Power Amplifier Design for Low Cost 2GHz-2.45GHz Consumer Applications in a 0.13μm Technology. *IEEE*, pp. 2675–2678.
- Ko, S., & Lin, J. (2006). A linearized cascode CMOS power amplifier. *IEEE Wireless and Microwave Technology Conference, WAMICON 2006*, 2–5.
doi:10.1109/WAMICON.2006.351920
- Krauss, H. L., Bostian, C. W., & Raab, F. H. (1980). *Solid State Radio Engineering*. John Wiley & Sons, Inc.
- Lee, T. H. (2004). *THE DESIGN OF CMOS RADIO-FREQUENCY INTEGRATED CIRCUITS* (Second Edi.). CAMBRIDGE UNIVERSITY PRESS.
- Ludwig, R., & Bretchko, P. (2000). *RF Circuit Design Theory and Applications*. Prentice Hall, Inc.
- Madureira, M. a. M., Monteiro, P. M. P., Aguiar, R. L., Violas, M., Gloanec, M., Leclerc, E., & Lefebvre, B. (2003). HIGH GAIN GaAs 10Gbps TRANSIMPEDANCE AMPLIFIER WITH INTEGRATED BONDWIRE EFFECTS. *Proceedings of the 2003 International Symposium on Circuits and Systems, 2003. ISCAS '03.*, 2, 173–176.
doi:10.1109/ISCAS.2003.1205924
- Meshkin, R., Saberkari, A., & Niaboli-Guilani, M. (2010). A Novel 2.4 GHz CMOS Class-E Power Amplifier with Efficient Power Control for Wireless Communications. *2010 17th IEEE International Conference on Electronics, Circuits and Systems*, 599–602.
doi:10.1109/ICECS.2010.5724583

- Mohammadpour, M., & Rostampour, M. (2012). Indirect Miller effect based compensation in Low power two-stage operational Amplifiers. *Proceedings of 2012 International Conference on Multimedia Computing and Systems, ICMCS 2012*, pp. 1113–1116. doi:10.1109/ICMCS.2012.6320278
- Montes, L. A. A., Raja, K., Wong, F. U. H. G., & Je, M. (2014). An Efficient Power Control Scheme for a 2.4GHz Class-E PA in 0.13- μ m CMOS. *IEEE Ninth International Conference on Intelligent Sensors, Sensor Networks and Information Processing Singapore, April*, pp. 21–24.
- Murad, S. A. Z., Ahamd, M. F., Shahimin, M. M., Ismail, R. C., & Cheng, K. L. (2012). High Efficiency CMOS Class E Power Amplifier Using 0.13 μ m Technology. *2012 IEEE Symposium on Wireless Technology and Applications (ISWTA)*, pp. 85–88. Bandung.
- Payne, K. (2009). Practical RF Amplifier Design Using the Available Gain Procedure and the Advanced Design System EM/Circuit Co-Simulation Capability. Agilent Technologies, Inc.
- Reynaert, P., & Steyaert, M. (2006). *RF POWER AMPLIFIERS FOR MOBILE COMMUNICATIONS*. Springer.
- Santos, E. L., Leite, B., & Mariano, A. (2015). Multimode 2.4 GHz CMOS Power Amplifier with Gain Control for Efficiency Enhancement at Power Backoff. *6th IEEE Latin American Symposium on Circuits and Systems*, 4–7.
- Sowlati, T., & Leenaerts, D. (2002). A 2.4GHz 0.18 μ m CMOS Self-Biased Cascode Power Amplifier with 23dBm Output Power. *IEEE International Solid-State Circuits Conference, September*.
- Wen, J.-C., & Sun, L.-L. (2010). A variable gain and output power CMOS PA with combination switch controls. *2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology*, 111–113. doi:10.1109/ICSICT.2010.5667836
- Wire, B., & Variation, I. (2004). A 1.8-2GHz VCO with Automatic Compensation for Bond Wire Inductance Variation (pp. 1325–1328).

Wu, L., Basaran, U., Tao, R., Berroth, M., & Boos, Z. (2005). A 2 GHz CMOS dB-Linear Programmable-Gain Amplifier with 51 dB Dynamic Range. *European Microwave Conference*. Ieee. doi:10.1109/EUMC.2005.1610251

Yavari, M., & Naseh, S. (2011). The Effect of Ground Bond-Wire on the Performance of CMOS Class-E Power Amplifiers. *2011 18th IEEE International Conference on Electronics, Circuits, and Systems, ICECS 2011*, 603–606.
doi:10.1109/ICECS.2011.6122347

Yoon, Y., Kim, J., Kim, H., An, K. H., Lee, O., Lee, C. H., & Kenney, J. S. (2012). A Dual-Mode CMOS RF Power Amplifier With Integrated Tunable Matching Network. *IEEE Transactions on Microwave Theory and Techniques*, 60(1), 77–88.
doi:10.1109/TMTT.2011.2175235

APÊNDICE A – Simulação de *corners* para o processo típico

- Resultados da simulação de *corners*, frequência de operação = 2,4 GHz, $V_{DD} = 1,8$ V e temperatura = 70 °C.

Modo	V_{DD} (V)	Temp. (°C)	Processo	OCP_{1dB} (dBm)	S_{21} (dB)	S_{11} (dB)	S_{22} (dB)	P_{SAT} (dBm)	Fator μ mínimo	PAE_{MAX} (%)	I_{DC} (mA)
6	1,8	70	Nominal	15,9	34,14	-17,49	-9,2	16,64	1,1	35,14	121
			FF	16,02	35,93	-20,52	-7,9	16,54	1,1	35,77	118,8
			FS	15,98	35,64	-19,69	-8,1	16,52	1,1	35,69	118,3
			SF	15,58	32,47	-15,74	-10,47	16,64	1,1	34,55	121,7
			SS	15,59	32,38	-15,41	-10,52	16,63	1,1	34,54	121,1
5	1,8	70	Nominal	16	33,06	-20,49	-8,77	16,66	1,1	35,84	115,9
			FF	16,05	34,84	-25,56	-7,49	16,61	1,1	36,3	113,5
			FS	16,02	33,55	-24,21	-7,68	16,59	1,1	36,25	113,1
			SF	15,66	31,4	-17,78	-10,02	16,7	1,1	35,17	116,8
			SS	15,66	31,31	-17,33	-10,07	16,7	1,1	35,16	116,2
4	1,8	70	Nominal	16,03	31,89	-24,16	-8,38	16,72	1,1	36,37	111,3
			FF	16,08	33,68	-31,3	-7,12	16,68	1,1	36,79	108,7
			FS	16,07	33,38	-30,62	-7,31	16,66	1,1	36,73	108,4
			SF	15,71	30,23	-19,92	-9,6	16,78	1,1	35,65	112,3
			SS	15,72	30,14	-19,3	-9,65	16,78	1,1	35,62	111,7
3	1,8	70	Nominal	16,08	30,08	-30,92	-8,05	16,8	1,1	36,93	106,1
			FF	16,12	31,85	-28,36	-6,8	16,7	1,1	37,43	103,4
			FS	16,09	31,56	-32,47	-6,98	16,7	1,1	37,37	103,1
			SF	15,75	28,44	-22,8	-9,25	16,86	1,1	36,04	107,3
			SS	15,74	28,34	-21,89	-9,29	16,85	1,1	35,98	106,8
2	1,8	70	Nominal	16,03	28,21	-45,57	-7,53	16,86	1,1	37,42	101,1
			FF	16,13	29,97	-23,06	-6,3	16,74	1,1	37,91	98,19
			FS	16,09	29,68	-25,27	-6,48	16,74	1,1	37,83	97,97
			SF	15,7	26,57	-27,22	-8,68	16,89	1,1	36,1	102,5
			SS	15,68	26,48	-25,7	-8,72	16,88	1,1	36,04	102
1	1,8	70	Nominal	15,79	24,82	-32,13	-7,33	16,89	1,1	36,78	96,27
			FF	16,02	26,59	-20,7	-6,1	16,76	1,1	37,94	93,18
			FS	15,98	26,3	-22,37	-6,28	16,79	1,1	37,75	93,01
			SF	15,16	23,19	-31,59	-8,47	16,81	1,1	34,55	97,8
			SS	15,14	23,1	-29,29	-8,5	16,79	1,1	34,46	97,28

APÊNDICE B – Simulação de *corners* variando a tensão de alimentação e a temperatura

- Resultados da simulação de *corners*, frequência de operação = 2,4 GHz, $V_{DD} = 1,7$ V e temperatura = 95 °C.

Modo	V_{DD} (V)	Temp. (°C)	Processo	OCP _{1dB} (dBm)	S ₂₁ (dB)	S ₁₁ (dB)	S ₂₂ (dB)	P _{SAT} (dBm)	Fator μ mínimo	PAE _{MAX} (%)	I _{DC} (mA)
6	1,7	95	Nominal	15	33,01	-17,43	-10,01	15,96	1,1	33,98	110,2
			FF	15,13	34,85	-20,62	-8,62	15,88	1,1	34,68	108,4
			FS	15,11	34,54	-19,71	-8,33	15,85	1,1	34,6	107,9
			SF	14,56	31,29	-15,68	-11,4	15,97	1,1	33,14	110,7
			SS	14,58	31,18	-15,34	-11,46	15,96	1,1	33,13	110
5	1,7	95	Nominal	15,05	31,92	-20,25	-9,57	16,03	1,1	34,56	105,6
			FF	15,19	33,76	-25,69	-8,19	15,95	1,1	35,19	103,6
			FS	15,18	33,45	-24,11	-8,4	15,94	1,1	35,11	103,1
			SF	14,66	30,21	-17,58	-10,93	16,05	1,1	33,67	106,2
			SS	14,67	30,11	-17,12	-10,99	16,04	1,1	33,64	105,5
4	1,7	95	Nominal	15,09	30,74	-23,59	-9,16	16,09	1,1	35,11	101,3
			FF	15,23	32,58	-32,82	-7,8	16,02	1,1	35,69	99,16
			FS	15,26	32,27	-30,76	-8	16,02	1,1	35,61	98,75
			SF	14,74	29,03	-19,53	-10,48	16,12	1,1	34,16	102,1
			SS	14,75	28,93	-18,91	-10,53	16,11	1,1	34,12	101,4
3	1,7	95	Nominal	15,13	28,93	-29,22	-8,81	16,15	1,1	35,59	96,59
			FF	15,26	30,76	-30,3	-7,47	16,06	1,1	36,24	94,27
			FS	15,25	30,45	-36,06	-7,67	16,07	1,1	36,12	93,92
			SF	14,75	27,23	-22,07	-10,12	16,17	1,1	34,42	97,5
			SS	14,75	27,13	-21,21	-10,16	16,16	1,1	34,36	96,89
2	1,7	95	Nominal	15,11	27,05	-47,49	-8,26	16,19	1,1	35,81	92,02
			FF	15,25	28,87	-24,12	-6,95	16,09	1,1	36,58	89,52
			FS	15,22	28,57	-26,76	-7,14	16,11	1,1	36,43	89,23
			SF	14,65	25,36	-25,78	-9,51	16,18	1,1	34,21	93,08
			SS	14,63	25,26	-24,43	-9,55	16,16	1,1	34,13	92,5
1	1,7	95	Nominal	14,72	23,67	-35,17	-8,04	16,18	1,1	34,74	87,57
			FF	15,1	25,48	-21,49	-6,73	16,14	1,1	36,31	84,92
			FS	15,08	25,18	-23,39	-6,92	16,15	1,1	36,04	84,68
			SF	13,97	21,98	-29,19	-9,29	15,94	1,1	31,91	88,76
			SS	13,93	21,88	-27,32	-9,33	15,9	1,1	31,77	88,2

APÊNDICE C – Simulação de *corners* variando somente a temperatura

- Resultados da simulação de *corners*, frequência de operação = 2,4 GHz, $V_{DD} = 1,8$ V e temperatura = 120 °C.

Modo	V_{DD} (V)	Temp. (°C)	Processo	OCP _{1dB} (dBm)	S ₂₁ (dB)	S ₁₁ (dB)	S ₂₂ (dB)	P _{SAT} (dBm)	Fator μ mínimo	PAE _{MAX} (%)	I _{DC} (mA)
6	1,8	120	Nominal	15,14	32,47	-16,97	-10,55	16,43	1,11	33,18	120,6
			FF	15,49	34,32	-19,86	-9,12	16,34	1,11	33,93	119,1
			FS	15,45	34,01	-19,05	-9,43	16,34	1,11	33,79	118,5
			SF	14,63	30,74	-15,35	-11,98	16,4	1,11	32,16	120,6
			SS	14,67	30,63	-15,03	-12,04	16,39	1,11	32,15	120
5	1,8	120	Nominal	15,28	31,4	-19,59	-10,08	16,47	1,11	33,84	115,4
			FF	15,56	33,24	-24,27	-8,68	16,38	1,11	34,55	113,8
			FS	15,54	32,93	-22,96	-8,89	16,36	1,11	34,42	113,3
			SF	14,78	29,67	-17,16	-11,48	16,46	1,11	32,75	115,7
			SS	14,79	29,57	-16,73	-11,54	16,45	1,11	32,73	115,1
4	1,8	120	Nominal	15,36	30,22	-22,64	-9,65	16,53	1,11	34,35	110,7
			FF	15,63	32,07	-29,99	-8,28	16,46	1,11	35,03	108,9
			FS	15,63	31,76	-28,3	-8,48	16,45	1,11	34,89	108,5
			SF	14,87	28,5	-19,02	-11,01	16,52	1,11	33,22	111,1
			SS	14,88	28,39	-18,46	-11,07	16,51	1,11	33,17	110,5
3	1,8	120	Nominal	15,44	28,43	-27,5	-9,29	16,59	1,11	34,75	105,5
			FF	15,68	30,26	-30,98	-7,93	16,53	1,11	35,53	103,5
			FS	15,66	29,95	-35,11	-8,13	16,53	1,11	35,39	103,1
			SF	14,93	26,72	-21,44	-10,63	16,57	1,11	33,42	106,1
			SS	14,93	26,61	-20,65	-10,68	16,56	1,11	33,36	105,5
2	1,8	120	Nominal	15,39	26,56	-37,57	-8,72	16,65	1,11	34,94	100,5
			FF	15,68	28,38	-24,9	-7,4	16,59	1,11	35,94	98,24
			FS	15,64	28,08	-27,71	-7,58	16,6	1,11	35,79	97,94
			SF	14,87	24,85	-24,88	-10	16,59	1,11	33,17	101,2
			SS	14,85	24,75	-23,68	-10,04	16,58	1,11	33,1	100,7
1	1,8	120	Nominal	15,04	23,18	-40,23	-8,49	16,6	1,11	33,73	95,56
			FF	15,53	25	-22,19	-7,17	16,62	1,11	35,61	93,14
			FS	15,49	24,7	-24,26	-7,36	16,6	1,11	35,34	92,9
			SF	14,21	21,48	-28,24	-9,76	16,28	1,11	30,55	96,43
			SS	14,19	21,34	-26,49	-9,8	16,25	1,11	30,41	95,91